

Ver 1.8

通用智能刷新控制电路

# 产品使用手册

产品型号：BSV2CQRH



北京微电子技术研究所

## 版本控制页

版本号	发布日期	更改章节	更改说明	备注
1.0	2016-4-15	——	——	
1.1	2014.7.1	第 3 章	顶视图和底视图进行了更改	
1.2	2015-8-24	图 6-1	管脚 CLCC44 编号改为管脚名称	
1.3	2015-9-9	产品特性	删除自动修复 POR 单粒子功能中断 产品图片更新	
1.4	2016-3-10	表 3-2	删除 ipause 功能说明中的最后一句“仅能完成配置功能”	
1.5	2017-6-5	图 6-1	明确了 JTAG 链路的连接关系	
		7.1、附录 I	增加了不得使用码流 debug 选项的说明；规定了上电启动时 i_rst 和 i_pause 的时序要求；规定了 JTAG 链路的设计要求。	
1.6	2018-2-1	附录 I	删除附录 I, 和 7.1 重复	
1.7	2018-2-11		更改模板, 修正笔误	
1.8	2018-7-26	7.1.3	增加关于 JTAG 复位的说明	
		7.2	增加对电源的要求	



## 目 录

一、产品概述	4
1.1 产品特点	4
1.2 产品用途及应用范围	4
二、产品工作条件	5
2.1 绝对最大额定值	5
2.2 推荐工作条件	5
三、封装及引出端说明	5
3.1 引出端排列	5
3.2 引脚信号描述	7
3.3 外形尺寸说明	9
四、产品功能	10
4.1 产品的基本工作原理	10
4.2 芯片系统结构和工作原理	10
4.3 时序特性和操作方式	11
五、产品电特性	11
5.1 直流电特性	11
5.2 交流电特性	13
六、典型应用	14
七.应用注意事项	15
7.1 产品应用说明	15
7.2 对电源的要求和推荐使用电路	16
7.3 产品防护	17
八、用户关注产品信息	17
8.1 产品鉴定信息	17
8.2 产品标识	18
8.3 产品环境试验和可靠性	18
8.4 研制生产单位联系方式	19

## 一、产品概述

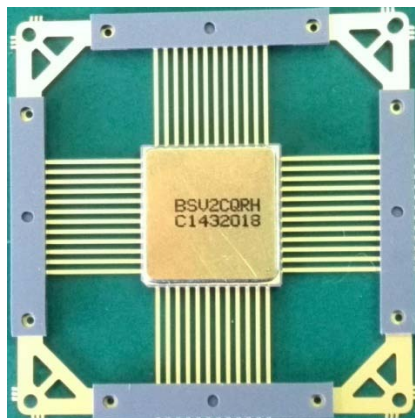
### 1.1 产品特点

#### ➤ 刷新特性

- 自动识别和匹配目标 FPGA 芯片
- 支持配置模式：主串、从串
- 利用 JTAG 接口进行刷新，接口简单且不占用 IOB 资源
- 采用盲刷方式，覆盖除 BRAM 内容以外的所有配置码流
- 刷新控制简洁，仅需用户提供刷新时钟信号和刷新使能信号
- 支持 Xilinx 公司 XC17、XC18、和 XCF 系列
- 自动修复部分单粒子功能中断

#### ➤ 电特性

- 3.3V 工作电源和 IO 接口电源
- 最高刷新时钟 20MHz，推荐在 10MHz 以下工作
- 功耗：10MHz 下，工作电流 < 120mA



#### ➤ 可靠性指标

- 工作温度：-55℃ ~ +125℃
- 抗静电指标（人体模型）：2000V
- 抗电门锁指标：200mA
- 抗总剂量：≥100Krad (Si)
- 单粒子锁定（SEL）LET 阈值：  
≥75MeV · cm<sup>2</sup>/mg
- 触发器翻转（SEU）LET 阈值：  
≥37MeV · cm<sup>2</sup>/mg

### 1.2 产品用途及应用范围

BSV2CQRH 是一款专门针对 SRAM 型 FPGA 的配置存储器进行刷新的芯片。BSV2CQRH 刷新芯片支持 Xilinx 公司 Virtex2 系列 XQR2V1000、XQR2V3000、XQR2V6000 耐辐照 FPGA，以及与上述产品完全功能兼容的北京微电子技术研究所的 BQR2V1000、BQR2V3000、BQR2V6000 型宇航级 FPGA 系列产品。

## 二、产品工作条件

### 2.1 绝对最大额定值

参数名称	参数符号	参数值	单位
电源电压	$V_{DD}$	-0.5~3.6	V
管脚输入电压	$V_{in}$	-0.5~3.6	V
贮存温度	$T_{stg}$	-65~150	°C
引线耐焊接温度	$T_h$	260	°C
热阻	$R_{th(J-C)}$	4.2	°C/W
功耗	$P_D$	0.5	W
最大工作频率	$f_{max}$	20	MHz

### 2.2 推荐工作条件

参数名称	参数符号	参数值	单位
电源电压	$V_{DD}$	3.1353.465	V
工作环境温度	$T_A$	-55~125	°C
工作频率	f	10	MHz

## 三、封装及引出端说明

### 3.1 引出端排列

BSV2CQRH采用CQFP48封装形式，封装管脚示意图如图3-1所示。

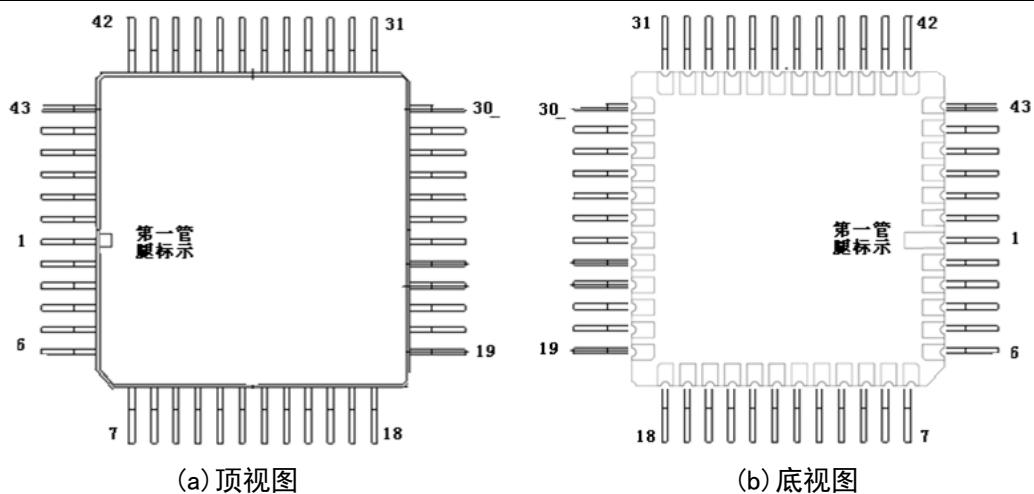


图 3-1 BSV2-CQFP48 封装管脚排列示意图

表 3-1 BSV2CQRH 引脚说明

序号	编号	Pin 符号	输入/输出	功能
1	P1	o_oe_prom	OUT	连接到 PROM 的 oe 端
2	P2	VDD	IN	电源
3	P3	o_ce_prom	OUT	连接到 PROM 的 ce 端
4	P4	i_pause	IN	暂停控制信号
5	P5	GND	IN	地
6	P6	VDD	IN	电源
7	P7	VDD	IN	电源
8	P8	GND	IN	地
9	P9	i_clk	IN	系统时钟
10	P10	test1	IN	测试输入管脚
11	P11	test2	IN	测试输入管脚
12	P12	GND	IN	地
13	P13	test3	IN	测试输入管脚
14	P14	scan_en	IN	测试专用管脚
15	P15	VDD	IN	电源
16	P16	o_rst	OUT	复位输出
17	P17	i_rst	IN	复位输入
18	P18	GND	IN	地
19	P19	VDD	IN	电源
20	P20	GND	IN	地
21	P21	i_done_fpga	IN	连接到 FPGA 的 DONE 端
22	P22	i_half	IN	刷新控制信号

序号	编号	Pin 符号	输入/输出	功能
23	P23	o_prog_fpga	OUT	连接到 FPGA 的 PROG 端

序号	编号	Pin 符号	输入/输出	功能
24	P24	i_init_fpga	IN	连接 FPGA 的 INIT 端
25	P25	VDD	IN	电源
26	P26	GND	IN	地
27	P27	o_din_fpga	OUT	连接 FPGA 的 Din 端
28	P28	i_cclk_fpga	IN	连接 FPGA 的 CCLK 端
29	P29	GND	IN	地
30	P30	VDD	IN	电源
31	P31	GND	IN	地
32	P32	VDD	IN	电源
33	P33	o_tms_fpga	OUT	连接到 FPGA 的 TMS 端
34	P34	GND	IN	地
35	P35	o_tdi_fpga	OUT	连接到 FPGA 的 TDI 端
36	P36	VDD	IN	电源
37	P37	GND	IN	地
38	P38	o_tck_fpga	OUT	连接到 FPGA 的 TCK 端
39	P39	i_tdo_fpga	IN	连接到 FPGA 的 TDO 端
40	P40	GND	IN	地
41	P41	VDD	IN	电源
42	P42	GND	IN	地
43	P43	GND	IN	地
44	P44	GND	IN	地
45	P45	i_data_prom	IN	连接到 PROM 的 data 端
46	P46	o_clk_prom	OUT	连接到 PROM 的 clk 端
47	P47	VDD	IN	电源
48	P48	GND	IN	地

### 3.2 引脚信号描述

表3-2 引脚信号描述

符号	类型	名称及功能
i_clk	输入	BSV2CQRH 的系统时钟，所有功能都由该时钟驱动，最高工作频率 20MHz，上电时需通过时钟进入确定状态，建议用户持续供给。



i_pause	输入	BSV2CQRH 的使能信号，逻辑高时芯片处于工作状态，能按需求完成 FPGA 配置或者刷新；逻辑低时芯片处于待机状态，所有输出均为高阻。
i_rst	输入	BSV2CQRH 芯片的复位信号，低电平有效，复位时，BSV2CQRH 恢复到配置状态，此时芯片仅能完成配置功能。

符号	类型	名称及功能
i_half	输入	BSV2CQRH 芯片的刷新功能的控制信号，低电平有效，当 i_half 有效时，BSV2CQRH 仅对被刷 FPGA 的左半部分执行刷新操作。当 i_half 无效时，BSV2CQRH 对整个 FPGA 执行刷新操作。
o_rst	输出	指示内部复位的输出信号。低电平表明电路处于复位状态，高电平表明电路未处于复位状态。
o_prog_fpga	输出	BSV2CQRH 在配置过程中，会自动检测 FPGA 的配置完成标志 DONE 信号，如超过预计的配置完成时间后还未检测到 DONE 变高，则意味着配置失败，会自动在 o_prog_fpga 端施加复位脉冲，进行重新配置。
i_done_fpga	输入	BSV2CQRH 是通过检测 DONE 信号来决定进入配置模式还是刷新模式。DONE 信号为低时，BSV2CQRH 自动进入配置状态，等待 FPGA 配置完成。当 DONE 信号变高后，BSV2CQRH 自动检测被刷芯片型号，进行盲刷操作。
i_init_fpga	输入	监测 FPGA 的 INIT 信号。配置状态下，该信号为高电平时，BSV2CQRH 使能 PROM 的数据输出。该信号为低电平时，BSV2CQRH 停止使能 PROM 的输出。
o_din_fpga	输出	在配置状态下，通过该端口将码流发送给 FPGA。配置完成后，输出高阻。
i_cclk_fpga	输入	在配置状态下，FPGA 通过该端口将配置时钟发送给 BSV2CQRH。
i_tdo_fpga	输入	专用端口，用来完成刷新操作。
o_tck_fpga	输出	专用端口，用来完成刷新操作。
o_tdi_fpga	输出	专用端口，用来完成刷新操作。
o_tms_fpga	输出	专用端口，用来完成刷新操作。
i_data_prom	输入	配置数据和刷新数据的来源。要求 PROM 的编程内容完全由 XILINX 相关工具产生和编程，且不得改变码流默认长度。
o_clk_prom	输出	为 PROM 提供时钟信号。
o_oe_prom	输出	为 PROM 提供输出使能信号。
o_ce_prom	输出	为 PROM 提供片选信号。
test1	输入	测试专用
test2	输入	测试专用
test3	输入	测试专用
scan_en	输入	测试专用



### 3.3 外形尺寸说明

CQFP48封装示意图如图3-2所示，图中的相关尺寸见表3-3。

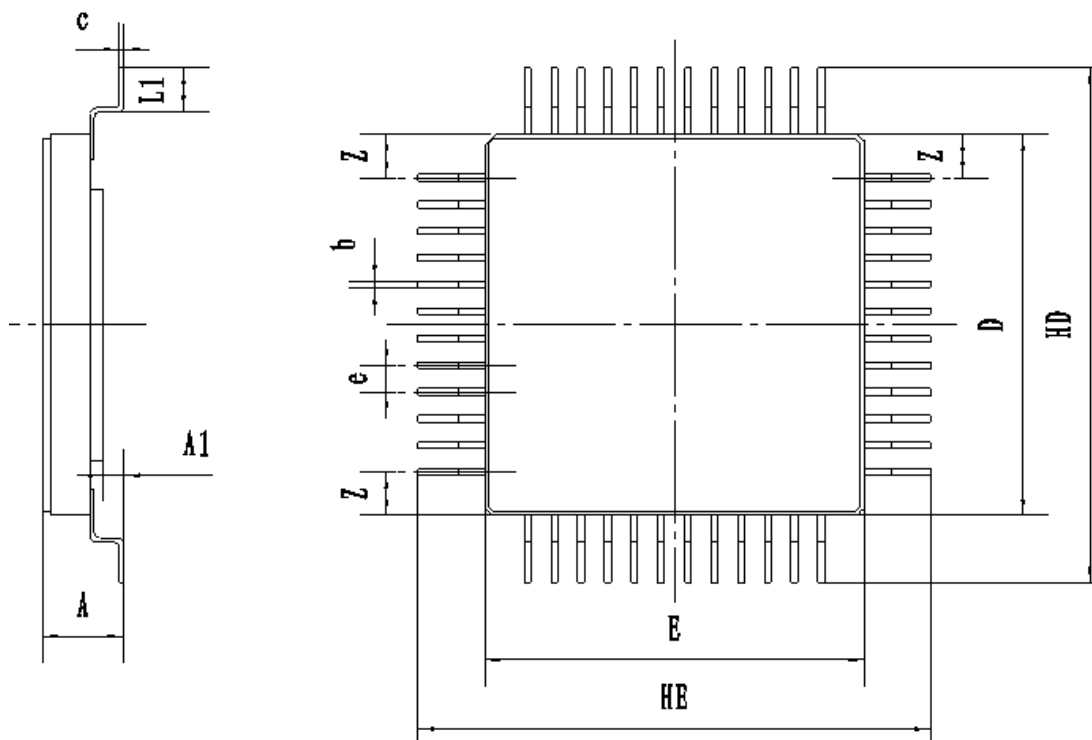


图 3-2 BSV2CQRH 管壳图

表3-3 CQFP48封装尺寸说明

尺寸符号	数值（单位：毫米）		
	最小	公称	最大
A	2.5		3.5
A1	0.5	0.75	1.0
b		0.38	
c		0.15	
e		1.02	
Z		1.52	
D/E	14.09	14.22	14.52
HD/HE	18.6	19.2	20.1
L1	1.25	1.5	1.8

## 四、产品功能

BSV2CQRH是宇航级产品，旨在为宇航SRAM型FPGA空间应用的单粒子翻转问题提供实时刷新应用解决方案，大幅度降低刷新系统设计的难度和复杂度。

### 4.1 产品的基本工作原理

BSV2CQRH电路功能框图如图4-1所示：

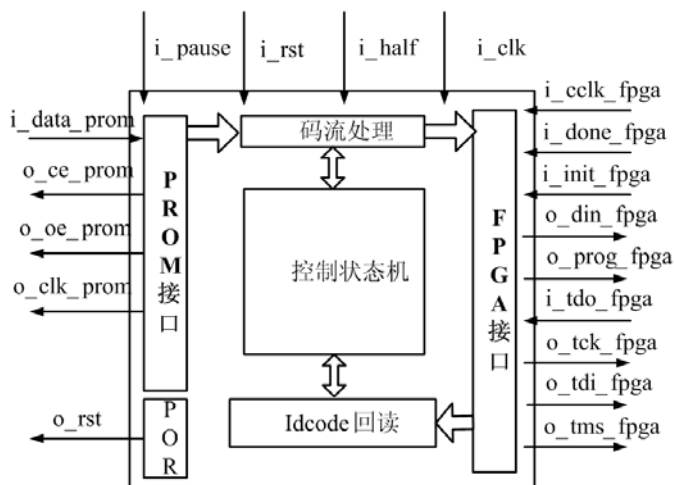


图 4-1 BSV2CQRH 电路功能框图

### 4.2 芯片系统结构和工作原理

芯片主要完成以下几个部分的功能：

#### 1) FPGA 上电配置

系统上电后，BSV2CQRH 将 PROM 中的数据读取出来，通过 FPGA 的 D0 端写入 FPGA 中，此时 FPGA 可处于主串或者从串配置模式。经过刷新芯片完成配置，和直接用 PROM 完成配置的时间消耗完全相同。

#### 2) 回读 IDcode

FPGA 配置完成后，BSV2CQRH 通过 JTAG 端口回读 FPGA 的型号，根据 FPGA 反馈的 IDcode 确定刷新数据的具体长度。

#### 3) 配置存储器刷新

BSV2CQRH 在确定被刷 FPGA 型号后，从 PROM 中读取配置数据，并对配置数据进行处理。在用户不使用 SRL16 和 LUTRAM 的前提下，可以保证用户设计的工作不受影响。

#### 4) FPGA 重配

若 FPGA 发生单粒子功能中断 (SEFI), BSV2CQRH 通过检测 DONE 端判断是否需要重新配置, 在确定 DONE 端为低电平后, 将对 FPGA 进行重新配置。

### 4.3 时序特性和操作方式

用户对 BSV2CQRH 的控制需通过四个 PIN:  $i\_rst$  (复位信号)、 $i\_clk$  (工作时钟)、 $i\_pause$  (芯片使能)、 $i\_half$  (刷新一半控制)。其中,  $i\_rst$  信号为低时, BSV2CQRH 立刻被复位, 且处于配置穿通状态, 在刷新过程中须慎用, 否则将导致被刷 FPGA 的 JTAG 端口锁定, 建议在刷新过程中始终为高, 若确有必要对 BSV2CQRH 进行复位, 则应先暂停刷新;  $i\_pause$  信号为低时, BSV2CQRH 芯片处于待机状态, 所有输出端被三态;  $i\_pause$  信号为高时, BSV2 信号处于工作状态, 会根据 DONE 信号来决定是进行 FPGA 配置还是刷新, 用户如果需要暂停刷新, 可以在任何时刻通过拉低  $i\_pause$  信号实现, BSV2CQRH 芯片会在继续完成当前的刷新周期后进入待机模式; 如需要恢复刷新, 可以在任何时刻拉高  $i\_pause$  信号实现;  $i\_half$  信号为低时, BSV2CQRH 将刷新的区域控制为 FPGA 的左半边,  $i\_half$  信号为高时, BSV2CQRH 刷新区域为整个 FPGA。BSV2CQRH 的所有信号通过  $i\_clk$  信号进行同步, 时钟的工作范围是 0-20MHz, 要求 50% 的占空比, 建议用户使用时持续提供  $i\_clk$  工作时钟, 确保刷新周期的完整性。

刷新的周期跟目标 FPGA 芯片的配置码流长度和刷新时钟相关, 刷新周期  $T = \text{码流长度} \times \text{时钟周期} \times 2$ , 典型情况如表 4-1 所示。

表 4-1 BSV2CQRH 完整刷新周期

器件	配置码流长度	刷新时钟	完整刷新周期
XQR2V1000、BQR2V1000	4, 082, 592	10MHz	约等于 800 毫秒
XQR2V3000、BQR2V3000	10, 494, 368	10MHz	约等于 2 秒
XQR2V6000、BQR2V6000	21, 849, 504	10MHz	约等于 4 秒

## 五、产品电特性

### 5.1 直流电特性

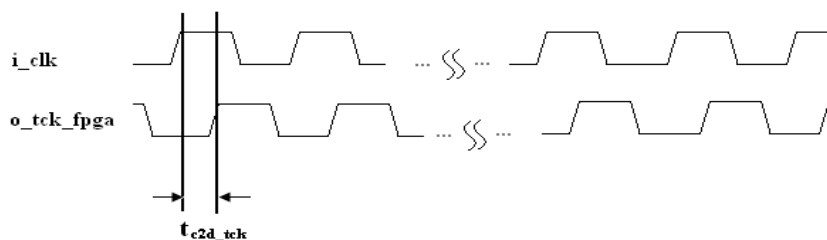
参数	符号	条件	A 组	极限值	单位
----	----	----	-----	-----	----

		(除另有规定外, $-55^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$ $3.135\text{V} \leq V_{DD} \leq 3.465\text{V}$ )	分组	最小	最大	
输出高电平电压	$V_{OH}$	$V_{DD}=3.135\text{V}$ , $I_{OH}=-12\text{ma}$ , 测试 o_ce_prom、o_clk_prom、o_tck_fpga、o_tdi_fpga、o_tms_fpga、o_rst、o_din_fpga	A1, A2, A3	2.4	—	V
输出低电平电压	$V_{OL}$	$V_{DD}=3.135\text{V}$ , $I_{OL}=12\text{mA}$ , 测试 o_rst、o_ce_prom、o_oe_prom、o_clk_prom、o_tck_fpga、o_tms_fpga、o_tdi_fpga、o_din_fpga		—	0.4	V
输入高电压	$V_{IH}$	$V_{DD}=3.3\text{V}$		2.0	—	V
输入低电压	$V_{IL}$	$V_{DD}=3.3\text{V}$		—	0.8	V
输入高电平漏电流	$I_{IH}$	$V_{DD}=3.465\text{V}$ , 测试 i_cclk_fpga、i_clk、i_data_prom、i_done_fpga、i_init_fpga、i_tdo_fpga	A1	—	100	nA
			A2	—	1	$\mu\text{A}$
			A3	—	1	$\mu\text{A}$
输入低电平漏电流	$ I_{IL} $	$V_{DD}=3.465\text{V}$ , 测试 i_cclk_fpga、i_clk、i_data_prom、i_done_fpga、i_init_fpga、i_tdo_fpga	A1	—	100	nA
			A2	—	1	$\mu\text{A}$
			A3	—	1	$\mu\text{A}$
带上拉的管脚输入漏电流	$I_{RPU}$	$V_{DD}=3.465\text{V}$ , 测试 i_pause、i_rst、i_half	A1	—	400	nA
			A2	—	1	$\mu\text{A}$
			A3	—	1	$\mu\text{A}$
带下拉的管脚输入漏电流	$I_{RPD}$	$V_{DD}=3.465\text{V}$ , 测试 test1、test2、test3、scan_en	A1	—	400	nA
			A2	—	1	$\mu\text{A}$
			A3	—	1	$\mu\text{A}$
静态电源电流	$I_{DDS}$	$V_{DD}=3.465\text{V}$	A1,	—	0.2	mA
动态电源电流	$I_{DDD}$	$V_{DD}=3.465\text{V}$ , $f=20\text{MHz}$	A2, A3	—	120	mA
输入输出电容	$C_{in/out}$	$f=1.0\text{MHz}$ , $T_A=25^{\circ}\text{C}$	A4	—	15	pF

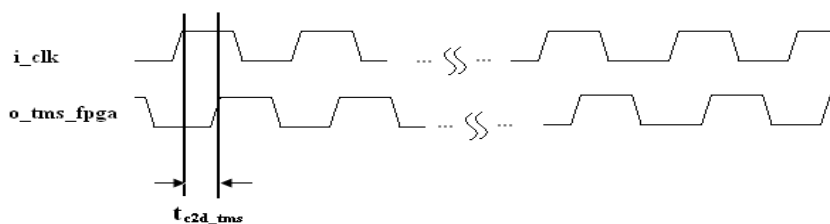
## 5.2 交流电特性

参数	符号	条件 (除另有规定外, $-55^{\circ}\text{C} \leq \text{TA} \leq 125^{\circ}\text{C}$ $3.135\text{V} \leq V_{\text{DD}} \leq 3.465\text{V}$ )	A 组分组	极限值		单位
				最小	最大	
功能测试	—	$V_{\text{DD}}=3.3\text{V}, f=10\text{MHz}/20\text{MHz}$	A7, A8A, A8B	—	—	—
o_tck_fpga 相对于 i_clk 的延迟	$t_{\text{c2d\_tck}}$	$V_{\text{DD}}=3.135\text{V}, f=20\text{MHz}$ 波形见图 5-1	A9, A10, A11	—	30	ns
o_tms_fpga 相对于 i_clk 的延迟	$t_{\text{c2d\_tms}}$			—	30	ns
o_tdi_fpga 相对于 i_clk 的延迟	$t_{\text{c2d\_tdi}}$			—	30	ns
o_din_fpga 相对 i_data_prom 的延迟	$t_{\text{dd}}$			—	30	ns

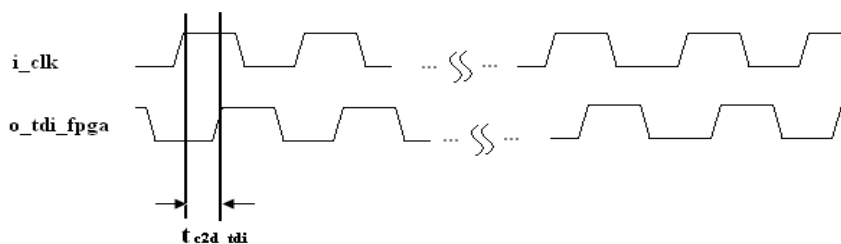
开关参数波形如图 5-1 所示。

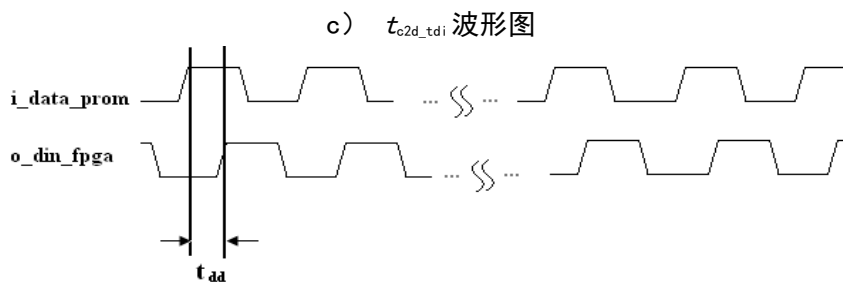


a)  $t_{\text{c2d\_tck}}$  波形图



b)  $t_{\text{c2d\_tms}}$  波形图





d)  $t_{dd}$  波形图

图 5-1 开关参数波形图

## 六、典型应用

BSV2CQRH具备串行模式配置FPGA和JTAG模式刷新FPGA的能力。BSV2CQRH放置于FPGA和配置PROM之间，起到数据交换的桥梁作用。主串模式的连接方式如图6-1所示，其中，program、Initial接4.7KΩ的上拉电阻，Done接330Ω的上拉电阻。从串模式的连接方式与主串类似，区别在于CCLK的来源不是FPGA而是外部器件。

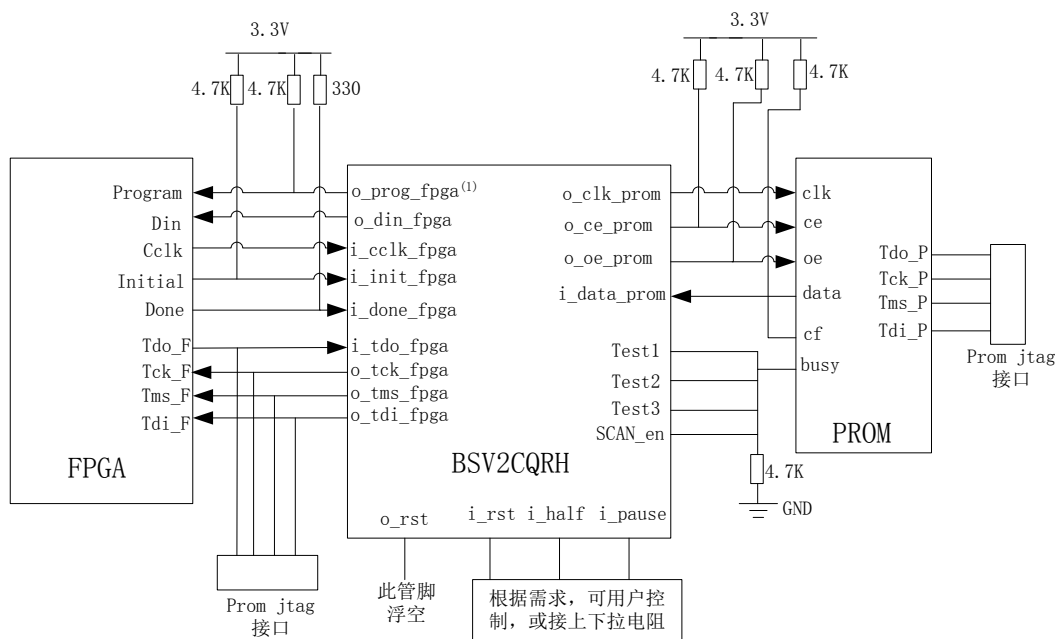


图 6-1 主串配置模式的板级连接方式

注 (1):对 600万门刷新时o\_prog\_fpga管脚必须浮空。其他型号可接FPGA的program或浮空。

## 七. 应用注意事项

### 7.1 产品应用说明

#### 7.1.1 注意事项:

- i\_clk 接晶振, 频率在 20MHz 以下(常温), 高温环境下需适当降低频率, 建议采用 10MHz。
- i\_pause 是刷新使能信号接入低电平时暂停刷新, 接高电平时开始刷新, 接 4.7K 上拉电阻。
- i\_rst 是复位信号接入低电平时对刷新电路进行复位, 且刷新电路处于对 FPGA 配置的状态, 注意, 不得在正常刷新过程中将 i\_rst 拉低, 否则被刷新 FPGA 将处于 JTAG 端口锁定状态, FPGA 将无法重新配置。
- o\_oe\_prom 为开漏结构, 必须接 4.7K 的上拉电阻。
- i\_done\_fpga 是检测被刷 FPGA 是否配置成功的标志信号。该管脚电平过低时, 刷新芯片将对 FPGA 电路进行重新配置。板级应用时不得连接二极管等可能拉低该管脚电压的电路, 以免刷新芯片产生误判、对 FPGA 进行复位操作。
- 若在上电启动时需要 i\_pause 保持低电平, 则必须向 i\_rst 提供一个低脉冲(低电平时间 > 1 个刷新时钟周期), 确保 BSV2CQRH 进入配置状态。
- 若在上电启动时需要 i\_rst 保持高电平, 则必须向 i\_pause 提供一个高脉冲(高电平时间 > 1 个刷新时钟周期), 确保 BSV2CQRH 进入配置状态。
- FPGA 的 JTAG 链路应独立于 PROM 的 JTAG 链路, 且注意 JTAG 链路的阻抗匹配设计和信号完整性设计。

#### 7.1.2 禁忌事项:

- 配置码流和 PROM 烧写文件需用 Xilinx 公司相关软件产生。
- 保持配置码流为默认长度, 不得选用任何会导致码流长度变化的选项(例如码流压缩、码流 DEBUG 等选项)。
- 不可以使用禁止回读、禁止重配等功能。
- 不可使用 LUT-RAM、LUT-shifter 资源。避免使用 LUT-RAM、LUT-shifter 应开展如下工作: (1) 右键点击 process 中 synthesize 的 properties, 弹出选项卡如图 7-1, 选择 HDL options, 将图中框出的 RAM extraction、shift register extraction、logic shift extraction 选项后的勾去除。(2) 检查 IP 核中是否存在分布式 RAM 或者 LUT 移位寄存器, 必须用 Block RAM 或用户触发器替代。

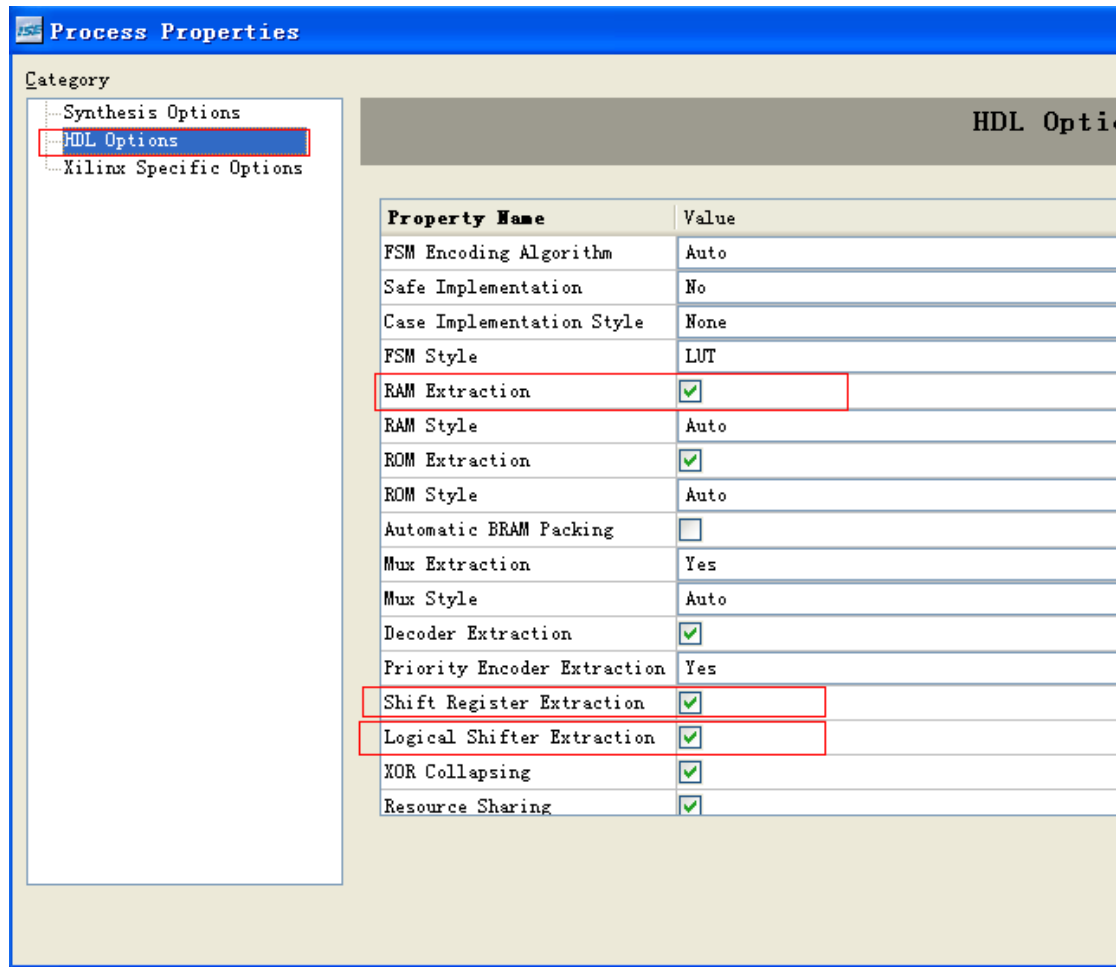


图7-1消除LUT\_RAM和LUT\_shift register的设置（将勾去除）

### 7.1.3 对FPGA的影响:

- 上电后FPGA第一次配置完成时间：无改变。
- 对用户功能的影响：无。
- 刷新状态下FPGA核心电源电流有一定增加。
- 对FPGA单粒子功能中断（SEFI）的修复能力：能修复导致DONE信号变低的功能中断以及JTAG状态机翻转导致的功能中断。
- 每次完成刷新或者回读IDcode操作后，刷新电路都会复位FPGA状态机，能够避免FPGA的JTAG端口状态始终处于异常状态

## 7.2 对电源的要求和推荐使用电路

要求电源至少提供1A供电能力，上电应单调上升，不得出现平台或者下降。



表7-1 BSV2CQRH支持的芯片列表

器件型号	配置位
XQR2V1000、XQ2V1000、XC2V1000	4, 082, 592
XQR2V3000、XQ2V3000、XC2V3000	10, 494, 368
XQR2V6000、XQ2V6000、XC2V6000	21, 849, 504
北京微电子技术研究所BQR2V1000、BQ2V1000	4, 082, 592
北京微电子技术研究所BQR2V3000、BQ2V3000	10, 494, 368
北京微电子技术研究所BQR2V6000、BQ2V6000	21, 849, 504
Xilinx公司17系列配置用PROM	1、2、4、8、16M, 串行模式
Xilinx公司18系列配置用PROM	512K、1M、2M、4M, 串行模式
Xilinx公司XCF系列配置用PROM	1、2、4、8、16、32M, 串行模式
北京微电子技术研究所BQ18V04配置用PROM	4 M, 串行模式

### 7.3 产品防护

产品包装由无腐蚀的材料制成，能导电或用抗静电材料涂敷过或浸渍过，具备足够的抗静电能力。

在避免雨、雪直接影响的条件下，装有产品的包装箱可以用任何运输工具运输。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。

包装好的产品贮存环境应满足Q/W 657A—2007 第8.1 规定的I类库房条件要求（温度：15℃~25℃，湿度：25%~65%），周围没有酸、碱或其它腐蚀性气体，通风良好，且具备相应防静电措施。

## 八、用户关注产品信息

### 8.1 产品鉴定信息

表 8-1 BSV2CQRH 鉴定信息

鉴定产品批次		1439
鉴定执行标准	总规范名称及编号	半导体集成电路总规范（GJB 597A-1996）
	详细规范名称及编号	半导体集成电路 BSV2CQRH 型面向 SRAM 型 FPGA 通用智能刷新控制电路(Q/Zt 20360-2014)

	附加技术条件	—
	质量等级	B CC
鉴定情况	鉴定试验日期	2015. 02. 03-2015. 07. 01
	鉴定试验机构	北京微电子技术研究所
	鉴定报告编号	14-205

## 8.2 产品标识

BSV2CQRH 芯片产品标识示意图见图 8-1。

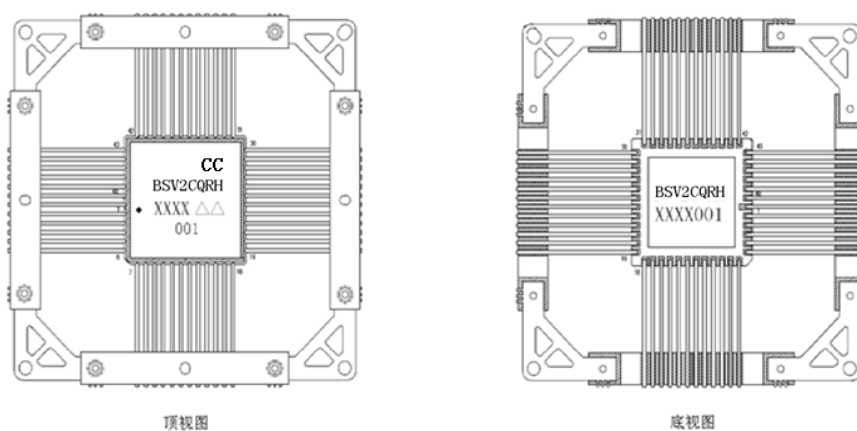


图8-1 标志示意图

## 8.3 产品环境试验和可靠性

产品环境试验情况如表8-2所示，寿命情况如表8-3所示，辐照试验情况如表8-4所示。

表8-2 产品环境试验情况

环境试验项目	试验条件 (GJB548B-2005)		试验结果
	方法	条件	
引线牢固性	2004	试验条件 B2 (引线疲劳)	合格
热冲击	1011	试验条件 B, 15 次循环	合格
温度循环	1010	试验条件 C, 100 次循环	合格
机械冲击	2002	试验条件 B, Y1 方向	合格
扫频振动	2007	试验条件 A	合格
恒定加速度	2001	试验条件 D	合格
盐雾	1009	试验条件 A	合格

内部水汽含量	1018	100℃时最大水汽含量为: $5000 \times 10^{-6}$	合格
引线涂覆粘附强度	2025	按规定	合格

**表8-3 寿命情况**

试 验	条件和要求(GJB548B-2005)		试验结果
	方 法	条 件	
稳态寿命	1005	125℃, 2000h	合格
终点电测试		按照电特性表、电试验表、老炼和稳态寿命试验终点电测试表要求进行	
内部水汽含量	1018	100℃时最大水汽含量为: $5000 \times 10^{-6}$	

**表8-4 辐照实验情况**

试 验	条件和要求(GJB548B-2005)		样本数 (接收数)	试验结果
	方 法	条 件		
E1 分组 稳态总剂量辐射	QJ10004-20 08	(25±3)℃, 100k rad(Si)	2 (0) /每晶片 或 11 (0) /晶片批 (每晶片至少 1 只)	合格
E2 分组 单粒子试验	QJ10005-20 08	单粒子锁定 LET 阈值不小于 75MeV·cm <sup>2</sup> /mg, 触发器翻转 LET 阈值不小于 37MeV·cm <sup>2</sup> /mg	3 (0)	合格

#### 8.4 研制生产单位联系方式

通信地址: 北京市丰台区东高地四营门北路2号

邮政编码: 100076

联系部门: 市场二部                      电话/传真: 010-67968115-6313/010-68757706

FPGA部      张帆      电话: 010-67968115-8521/13641190962