

Ver 1.4

通用智能刷新控制电路

# 产品使用手册

产品型号：BSV1CQRH



北京微电子技术研究所



## 版本控制页

| 版本号 | 发布日期   | 更改章节      | 更改说明                           | 备注 |
|-----|--------|-----------|--------------------------------|----|
| 1.0 | 2016.4 |           |                                |    |
| 1.1 | 2016.6 | 附录 1      | 增加注意事项                         |    |
| 1.2 | 2017.7 | 应用说明      | 修订 i_done_fpga 说明及 JTAG 链路设计说明 |    |
| 1.3 | 2018.2 |           | 更换格式                           |    |
| 1.4 | 2018.8 | 七. 应用注意事项 | 增加电源要求                         |    |



## 目 录

|                     |    |
|---------------------|----|
| 一、产品概述.....         | 4  |
| 1.1 产品特点.....       | 4  |
| 1.2 产品用途及应用范围.....  | 5  |
| 1.3 免责声明.....       | 5  |
| 二、产品工作条件.....       | 6  |
| 2.1 绝对最大额定值.....    | 6  |
| 2.2 推荐工作条件.....     | 6  |
| 三、封装及引出端说明.....     | 7  |
| 3.1 引出端排列.....      | 7  |
| 3.2 引脚信号描述.....     | 8  |
| 3.3 外形尺寸说明.....     | 10 |
| 四、产品功能.....         | 10 |
| 五、产品电特性.....        | 11 |
| 5.1 直流电特性.....      | 11 |
| 5.2 交流电特性.....      | 12 |
| 六、典型应用.....         | 13 |
| 七. 应用注意事项.....      | 14 |
| 7.1 产品应用说明.....     | 14 |
| 7.2 对电源的要求.....     | 15 |
| 7.3 产品防护.....       | 15 |
| 八、用户关注产品信息.....     | 16 |
| 8.1 产品鉴定信息.....     | 16 |
| 8.2 产品标识.....       | 16 |
| 8.4 研制生产单位联系方式..... | 17 |

## 一、产品概述

### 1.1 产品特点

BSV1CQRH 是一款专门针对 SRAM 型 FPGA 的配置存储器进行刷新的芯片,支持 Xilinx 公司 Virtex 系列 XQVR300、XQVR600 和 XQVR1000 型耐辐照 FPGA, 以及与上述产品兼容的北京微电子技术研究所的 BQVR300RH (单粒子翻转加固) 型宇航级 FPGA 系列产品。BSV1CQRH 采用了高可靠的抗单粒子翻转加固设计技术, 其主要特性如下:

#### ➤ 刷新特性

- 自动识别和匹配目标 FPGA 芯片;
- 支持配置模式: 主串、从串;
- 利用 JTAG 接口进行刷新, 接口简单且不占用 IOB 资源;
- 采用盲刷方式, 覆盖除 BRAM 内容以外的所有配置码流;
- 刷新控制简洁, 仅需用户提供刷新时钟信号和刷新使能信号;
- 支持 Xilinx 公司 XC17/XQ17、XC18/XQ18 和 XCF 系列;

#### ➤ 电特性

- 3.3V 工作电压;
- 最高工作时钟 20MHz;
- 功耗: 10MHz 下, 工作电流 < 30mA。

#### ➤ 可靠性指标

- CAST C 级、LMS 级;
- 工作温度:  $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$ ;
- 抗静电指标 (人体模型): 2000V;
- 抗电门锁指标:  $\pm 100\text{mA}$ ;
- 抗总剂量:  $\geq 100\text{Krad (Si)}$ ;
- 单粒子锁定 (SEL) LET 阈值:  $\geq 75\text{MeV}\cdot\text{cm}^2/\text{mg}$ ;
- 触发器翻转 (SEU) LET 阈值:  $\geq 37\text{MeV}\cdot\text{cm}^2/\text{mg}$ 。



## 1.2 产品用途及应用范围

BSV1CQRH 是宇航级产品，旨在为宇航 SRAM 型 FPGA 空间应用的单粒子翻转问题提供实时刷新应用解决方案，大幅度降低刷新系统设计的难度和复杂度。BSV1CQRH 支持的芯片如表 1 所示，不支持其它型号 FPGA 或者 PROM。

表1 BSV1CQRH支持的芯片列表

| 器件型号                            | 配置位 (Bit)           |
|---------------------------------|---------------------|
| XQVR300、XQV300                  | 1, 751, 808         |
| XQVR600、XQV600                  | 3, 607, 968         |
| XQVR1000、XQV1000                | 6, 127, 744         |
| 北京微电子技术研究所BQVR300               | 1, 751, 808         |
| 北京微电子技术研究所BQVR600               | 3, 607, 968         |
| 北京微电子技术研究所BQVR1000              | 6, 127, 744         |
| 北京微电子技术研究所单粒子翻转加固<br>BQVR300RH  | 1, 751, 808         |
| Xilinx公司17V系列配置用PROM            | 1、2、4、8、16M，串行模式    |
| Xilinx公司18V系列配置用PROM            | 512K、1M、2M、4M，串行模式  |
| Xilinx公司XCF系列配置用PROM            | 1、2、4、8、16、32M，串行模式 |
| 北京微电子技术研究所BQ18V04ECQ配置<br>用PROM | 4 M，串行模式            |

. 注：BQ18V04配合BSV1应用时，需要在BQ18V04的OE 端加三态门输入

## 1.3 免责声明

本手册版权归北京微电子技术研究所所有，并保留一切权利。未经书面许可，任何单位、组织和个人不得将此文档中的任何部分公开、转载或以其他方式散发给第三方，否则将追究其法律责任。

本手册版本将不定期更新，请在使用本产品之前联系本单位销售部门获取本手册的最新版本。

用户因未严格按本手册要求保存、使用本产品，致使产品工作异常或损坏，造成任何直接或间接损失，本单位不承担任何责任。

除本手册说明之外，请勿接受第三方指导或参考第三方资料对本产品进行操作，用户对





本手册有疑问之处请与本单位销售部门联系。

## 二、产品工作条件

### 2.1 绝对最大额定值

| 参数名称                 | 参数符号      | 参数值      | 单位  |
|----------------------|-----------|----------|-----|
| 电源电压                 | $V_{DD}$  | -0.5~3.6 | V   |
| 管脚输入电压               | $V_{in}$  | -0.5~3.6 | V   |
| 贮存温度                 | $T_{stg}$ | -65~150  | °C  |
| 最大工作频率               | $f_{max}$ | 20       | MHz |
| 引线焊接温度<br>(焊接时, 10秒) | $T_H$     | 260      | °C  |
| 功耗值                  | $P$       | 0.1      | W   |

### 2.2 推荐工作条件

| 参数名称    | 参数符号     | 参数值        | 单位 |
|---------|----------|------------|----|
| 电源电压    | $V_{DD}$ | 3.12~3.465 | V  |
| 工作环境温度  | $T_A$    | -55~125    | °C |
| 输入低电平范围 | $V_{IL}$ | 0~0.8      | V  |
| 输入高电平范围 | $V_{IH}$ | 2~3.465    | V  |

### 三、封装及引出端说明

#### 3.1 引出端排列

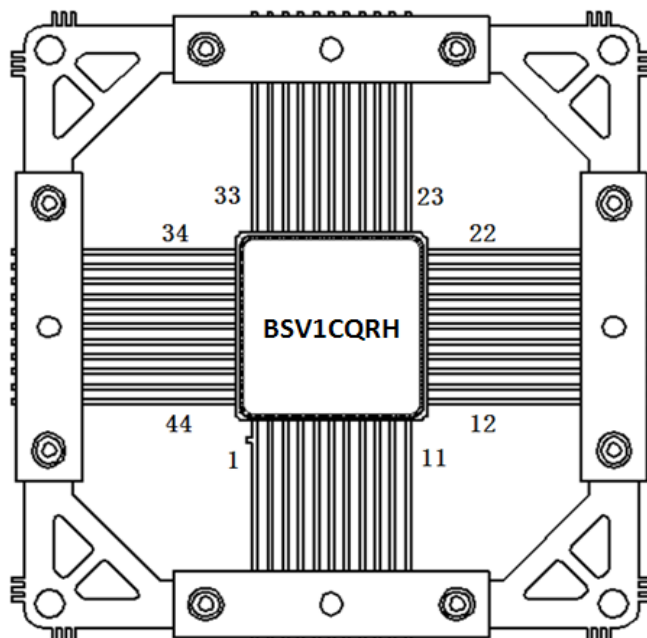


图1 引出端排列图

| 编号  | 符号          | 输入/输出 | 功能                |
|-----|-------------|-------|-------------------|
| P1  | GND         | IN    | 地                 |
| P2  | i_clk       | IN    | 系统时钟              |
| P3  | VDD         | IN    | 内核电源              |
| P4  | test1       | IN    | 测试输入管脚            |
| P5  | test2       | IN    | 测试输入管脚            |
| P6  | GND         | IN    | 地                 |
| P7  | test3       | IN    | 测试输入管脚            |
| P8  | scan_in     | IN    | 测试输入管脚            |
| P9  | VDD         | IN    | 内核电源              |
| P10 | scan_out    | OUT   | 测试输出管脚            |
| P11 | test_se     | IN    | 测试输入管脚            |
| P12 | VDD         | IN    | 内核电源              |
| P13 | i_done_fpga | IN    | 连接到 FPGA 的 DONE 端 |
| P14 | GND         | IN    | 地                 |
| P15 | o_prog_fpga | OUT   | 连接到 FPGA 的 PROG 端 |
| P16 | GND         | IN    | 地                 |
| P17 | i_init_fpga | IN    | 连接 FPGA 的 INIT 端  |

| 编号  | 符号          | 输入/输出 | 功能                |
|-----|-------------|-------|-------------------|
| P18 | VDD         | IN    | 内核电源              |
| P19 | GND         | IN    | 地                 |
| P20 | o_din_fpga  | OUT   | 连接 FPGA 的 Din 端   |
| P21 | VDD         | IN    | 内核电源              |
| P22 | i_cclk_fpga | IN    | 连接 FPGA 的 CCLK 端  |
| P23 | GND         | IN    | 地                 |
| P24 | o_tms_fpga  | OUT   | 连接到 FPGA 的 TMS 端  |
| P25 | VDD         | IN    | 内核电源              |
| P26 | GND         | IN    | 地                 |
| P27 | o_tdi_fpga  | OUT   | 连接到 FPGA 的 TDI 端  |
| P28 | VDD         | IN    | 内核电源              |
| P29 | GND         | IN    | 地                 |
| P30 | o_tck_fpga  | OUT   | 连接到 FPGA 的 TCK 端  |
| P31 | VDD         | IN    | 内核电源              |
| P32 | i_tdo_fpga  | IN    | 连接到 FPGA 的 TDO 端  |
| P33 | GND         | IN    | 地                 |
| P34 | GND         | IN    | 地                 |
| P35 | i_data_prom | IN    | 连接到 PROM 的 data 端 |
| P36 | VDD         | IN    | 内核电源              |
| P37 | o_clk_prom  | OUT   | 连接到 PROM 的 clk 端  |
| P38 | VDD         | IN    | 内核电源              |
| P39 | GND         | IN    | 地                 |
| P40 | o_oe_prom   | OUT   | 连接到 PROM 的 oe 端   |
| P41 | VDD         | IN    | 内核电源              |
| P42 | o_ce_prom   | OUT   | 连接到 PROM 的 ce 端   |
| P43 | GND         | IN    | 地                 |
| P44 | i_pause     | IN    | 暂停控制信号            |

### 3.2 引脚信号描述

表2 引脚信号描述

| 符号      | 类型 | 名称及功能  |
|---------|----|--|
| i_clk   | 输入 | BSV1CQRH的系统时钟，所有功能都由该时钟驱动，最高工作频率20MHz，上电时需通过时钟进入确定状态，建议用户采用有源晶振持续供给。 |
| i_pause | 输入 | BSV1CQRH的使能信号，逻辑高时芯片处于工作状态，能按需求完成                                    |



|             |    |  |
|-------------|----|--|
|             |    | FPGA配置或者刷新；逻辑低时芯片处于待机状态，所有输出均为高阻。<br>注意：该信号为低时，FPGA将无法配置。  |
| o_prog_fpga | 输出 | BSV1CQRH在配置过程中，会自动检测FPGA的配置完成标志DONE信号，如超过预计的配置完成时间后还未检测到DONE变高，则意味着配置失败，会自动在o_prog_fpga端施加复位脉冲，进行重新配置。         |
| i_done_fpga | 输入 | BSV1CQRH是通过检测DONE信号来决定进入配置模式还是刷新模式。DONE信号为低时，BSV1CQRH自动进入配置状态，等待FPGA配置完成。当DONE信号变高后，BSV1CQRH自动检测被刷芯片型号，进行盲刷操作。 |
| i_init_fpga | 输入 | 监测FPGA的INIT信号。配置状态下，该信号为高电平时，BSV1CQRH使能PROM的数据输出。该信号为低电平时，BSV1CQRH停止使能PROM的输出。                                 |
| o_din_fpga  | 输出 | 在配置状态下，通过该端口将码流发送给FPGA。配置完成后，输出高阻。   |
| i_cclk_fpga | 输入 | 在配置状态下，FPGA通过该端口将配置时钟发送给BSV1CQRH。  |
| i_tdo_fpga  | 输入 | 专用端口，用来完成刷新操作。   |
| o_tck_fpga  | 输出 | 专用端口，用来完成刷新操作。   |
| o_tdi_fpga  | 输出 | 专用端口，用来完成刷新操作。   |
| o_tms_fpga  | 输出 | 专用端口，用来完成刷新操作。   |
| i_data_prom | 输入 | 配置数据和刷新数据的来源。要求PROM的编程内容完全由XILINX相关工具产生和编程，且不得改变码流默认长度。  |
| o_clk_prom  | 输出 | 为PROM提供时钟信号。   |
| o_oe_prom   | 输出 | 为PROM提供输出使能信号。   |
| o_ce_prom   | 输出 | 为PROM提供片选信号。   |
| test1       | 输入 | 测试专用，必须接地  |
| test2       | 输入 | 测试专用，必须接地  |
| test3       | 输入 | 测试专用，必须接地  |
| scan_in     | 输入 | 测试专用，必须接地  |
| scan_out    | 输出 | 测试专用，必须浮空  |
| test_se     | 输入 | 测试专用，必须接地  |
| VCC         | 输入 | 3.3V电源   |
| GND         | 输入 | 与FPGA、配置PROM共地。  |

### 3.3 外形尺寸说明

BSV1CQRH 芯片采用了陶瓷芯片载体 CQFP44 封装，切筋后的管壳尺寸如图 2。

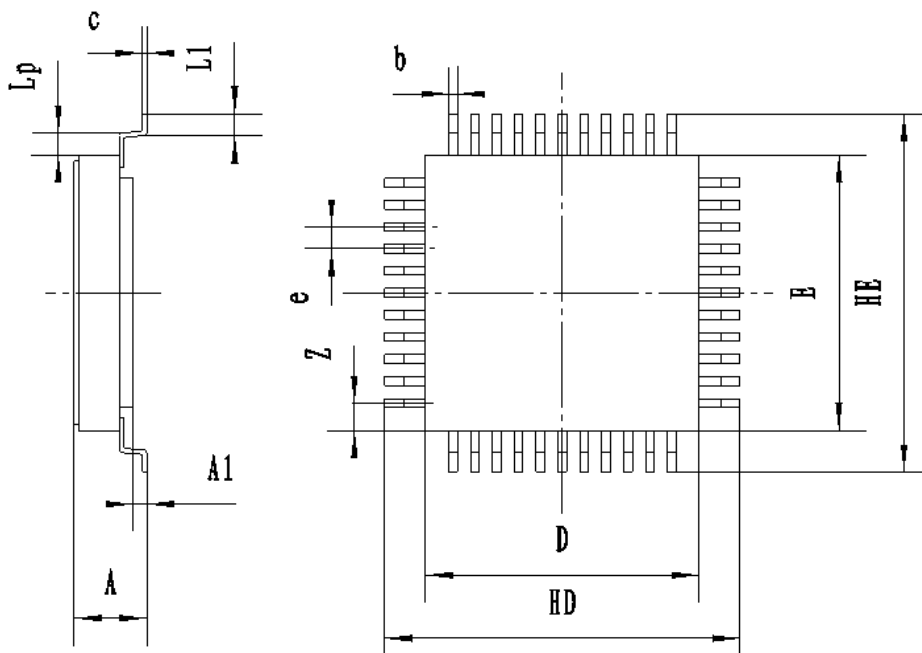


图 2 CQFP44 管壳尺寸示意图

| 尺寸符号  | 数值 (单位: 毫米) |      |       |
|-------|-------------|------|-------|
|       | 最小          | 公称   | 最大    |
| A     | 2.9         | —    | 4.0   |
| A1    | 0.50        | 0.75 | 1.01  |
| b     | —           | 0.32 | —     |
| c     | —           | 0.15 | —     |
| e     | —           | 0.8  | —     |
| Z     | —           | 1.0  | —     |
| D/E   | 9.80        | 10   | 10.20 |
| HD/HE | 14.20       | 15   | 15.65 |
| Lp    | 1.0         | 1.0  | 1.15  |
| L1    | 1.25        | 1.5  | 1.75  |

## 四、产品功能

该芯片主要完成了以下几个部分功能：

### 1. FPGA 上电配置

系统上电后，BSV1CQRH 将 PROM 中的数据读取出来，通过 FPGA 的 D0 端写入 FPGA 中，

此时 FPGA 可处于主串或者从串配置模式。经过刷新芯片完成配置，和直接用 PROM 完成配置的时间消耗完全相同。

## 2. 读取 IDcode

FPGA 配置完成后,BSV1CQRH 通过 JTAG 端口读取 FPGA 的型号,根据 FPGA 反馈的 IDcode 确定刷新数据的具体长度。

## 3. 配置存储器刷新

BSV1CQRH 在确定被刷 FPGA 型号后,从 PROM 中读取配置数据,并对配置数据进行处理。在用户不使用 LUT-Shifter 和 LUT-RAM 的前提下,可以保证用户功能不受影响。

用户对 BSV1CQRH 的控制仅需通过两个引脚: i\_pause(芯片使能)和 i\_clk(工作时钟)。其中, i\_pause 信号为低时,BSV1CQRH 处于待机状态,所有输出端为高阻态; i\_pause 信号为高时,BSV1CQRH 处于工作状态。BSV1CQRH 的所有信号通过 i\_clk 信号进行同步,时钟的工作范围是 0-20MHz,要求 50%的占空比。用户如果需要暂停刷新,可以在任何时刻通过拉低 i\_pause 信号实现,BSV1CQRH 芯片会在继续完成当前的刷新周期后进入待机模式;如需要恢复刷新,可以在任何时刻拉高 i\_pause 信号实现。因此,用户使用时必须持续提供 i\_clk 工作时钟,这样才能确保刷新周期的完整性。

刷新的周期跟目标 FPGA 芯片的配置码流长度和刷新时钟相关,刷新周期  $T = \text{码流长度} \times \text{时钟周期} \times 2$ ,典型情况如表 3 所示。

表3 BSV1CQRH完整刷新周期

| 器件                           | 配置码流长度      | 工作时钟   | 完整刷新周期     |
|------------------------------|-------------|--------|------------|
| BQV300RH<br>XQVR300、BQVR300、 | 1, 751, 808 | 10 MHz | 约等于 350 毫秒 |
| XQVR600、BQVR600              | 3, 607, 968 | 10 MHz | 约等于 720 毫秒 |
| XQVR1000, BQVR1000           | 6, 127, 744 | 10 MHz | 约等于 1.2 秒  |

# 五、产品电特性

## 5.1 直流电特性

表 4 BSV1CQRH 直流电特性

| 参数      | 符号       | 条件<br>( $-55^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$<br>$3.125\text{V} \leq V_{DD} \leq 3.465\text{V}$ ) | 极限值 |    | 单位 |
|---------|----------|---|-----|----|----|
|         |          |   | 最小  | 最大 |    |
| 输出高电平电压 | $V_{OH}$ | $V_{DD}=3.125\text{V}, I_{OH}=-12\text{ mA}$  | 2.4 | —  | V  |

|         |                  |  |     |     |    |
|---------|------------------|--|-----|-----|----|
| 输出低电平电压 | $V_{OL}$         | $V_{DD}=3.125V, I_{OL}=12\text{ mA}$   | —   | 0.4 | V  |
| 输入高电平电压 | $V_{IH}$         | $V_{DD}=3.3V$  | 2.0 | —   | V  |
| 输入低电平电压 | $V_{IL}$         | $V_{DD}=3.3V$  | —   | 0.8 | V  |
| 输入高电平电流 | $I_{IH}$         | $V_{DD}=3.465V$ , 测试<br>$i\_init\_fpga$ 、<br>$i\_cclk\_fpga$ 、 $i\_tdo\_fpga$ 、<br>$i\_data\_prom$ 、 $i\_pause$ 、<br>$i\_clk$ 、 $i\_done\_fpga$ 管脚<br>(不测试带下拉电阻的管脚)  | —   | 0.6 | uA |
|         |                  |  | —   | 1   |    |
|         |                  |  | —   | 1   |    |
| 输入低电平电流 | $ I_{IL} $       | $V_{DD}=3.465V$ , 测试<br>$i\_init\_fpga$ 、<br>$i\_cclk\_fpga$ 、 $i\_tdo\_fpga$ 、<br>$i\_data\_prom$ 、 $i\_paus$ 、<br>$i\_clk$ 、 $test1$ 、 $test2$ 、<br>$test3$ 、 $scan\_in$ 、 $test\_se$ 、<br>$i\_done\_fpga$ 管脚(不测试<br>带上拉电阻的管脚) | —   | 0.6 | uA |
|         |                  |  | —   | 1   |    |
|         |                  |  | —   | 1   |    |
| 静态电源电流  | $I_{DDs}$        | $V_{DD}=3.465V$  | —   | 2   | mA |
|         |                  |  | —   | 3   |    |
|         |                  |  | —   | 1   |    |
| 输入/输出电容 | $C_{in}/C_{out}$ | $f=1.0MHz, T_A=25^\circ C$   | —   | 15  | pF |
| 功能测试    | —                | $f=10MHz, 20MHz$   | —   | —   | —  |

## 5.2 交流电特性

表 5 BSV1CQRH 交流电特性

| 参数                               | 符号             | 条件<br>( $-55^\circ C \leq T_A \leq 125^\circ C$<br>$3.125V \leq V_{DD} \leq 3.465V$ ) | 极限值 |    | 单位 |
|----------------------------------|----------------|---|-----|----|----|
|                                  |                |   | 最小  | 最大 |    |
| iclk 上升沿到<br>o_tck_fpga<br>跳变的延迟 | $t_{c2d\_tck}$ | $V_{DD}=3.125V, f=10MHz$  | —   | 30 | ns |
| iclk 上升沿到<br>o_tms_fpga<br>跳变的延迟 | $t_{c2d\_tms}$ |   | —   | 30 | ns |

|                                      |                |   |    |    |
|--------------------------------------|----------------|---|----|----|
| i_clk 上升沿到<br>o_tdi_fpga<br>跳变的延迟    | $t_{c2d\_tdi}$ | — | 30 | ns |
| i_data_prom 上升沿到<br>o_din_fpga 跳变的延迟 | $t_{dd}$       | — | 30 | ns |

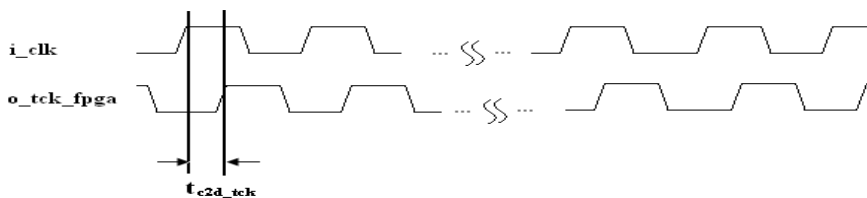
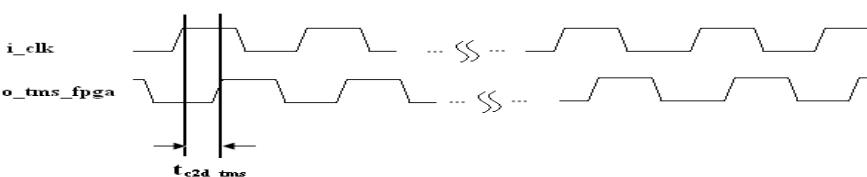
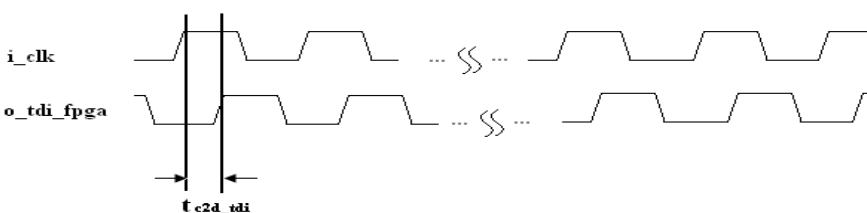
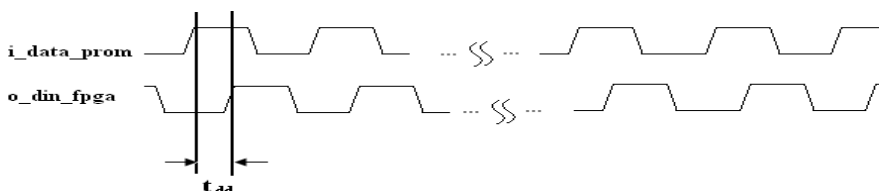

 图 3 a)  $t_{c2d\_tck}$  波形图

 图 3 b)  $t_{c2d\_tms}$  波形图

 图 3 c)  $t_{c2d\_tdi}$  波形图

 图 3 d)  $t_{dd}$  波形图

图 3 开关参数波形图

## 六、典型应用

BSV1CQRH 具备串行模式配置 FPGA 和 JTAG 模式刷新 FPGA 的能力。BSV1 放置于 FPGA 和配置 PROM 之间,起到数据交换的桥梁作用。主串模式的连接方式如图 4 所示,其中,program、Initial 接 4.7KΩ 的上拉电阻,Done 接 330Ω 的上拉电阻。从串模式的连接方式与主串类似,区别在于 CCLK 的来源不是 FPGA 而是外部器件。

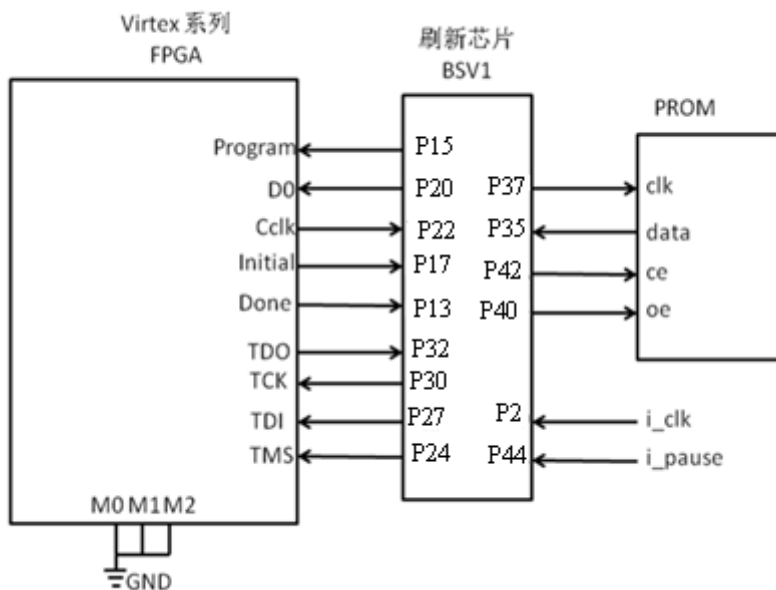


图 4 主串配置模式的板级连接方式

## 七. 应用注意事项

### 7.1 产品应用说明

#### 7.1.1 注意事项:

- 1) `i_clk` 管脚接晶振，频率在 20MHz 以下，建议用户采用一定的降额措施适当降低频率，建议采用 10MHz。
- 2) `i_pause` 管脚是刷新使能信号接入低电平时暂停刷新，且不具备配置功能；接高电平时开始刷新，建议接 4.7K 上拉电阻。该管脚接低电平时，被刷 FPGA 将无法完成配置。
- 3) `i_done_fpga` 是检测被刷 FPGA 是否配置成功的标志信号。板级应用时不得连接二极管等可能拉低该管脚电压的电路，以免刷新芯片产生误判。
- 4) 由于刷新过程会占用 FPGA 的 JTAG 接口，设计时 FPGA 与 PROM 的 JTAG 链路应互相独立，否则 PROM 的 JTAG 引脚会对刷新造成干扰。

#### 7.1.2 禁忌事项:

- 1) 配置码流和 PROM 烧写文件需用 Xilinx 公司相关软件产生。
- 2) 保持配置码流为默认长度，不得选用任何会导致码流长度变化的选项(例如码流压缩)。
- 3) 不可以使用禁止回读、禁止重配等功能。
- 4) 不可使用 LUT-RAM、LUT-shifter 资源。避免使用 LUT-RAM、LUT-shifter 应开展如下

工作：（1）右键点击 process 中 synthesize 的 properties，弹出选项卡如图 5，选择 HDL options，将图中框出的 RAM extraction、shift register extraction、logic shift extraction 选项后的勾去除。（2）检查 IP 核中是否存在分布式 RAM 或者 LUT 移位寄存器，必须用 Block RAM 或用户触发器替代。

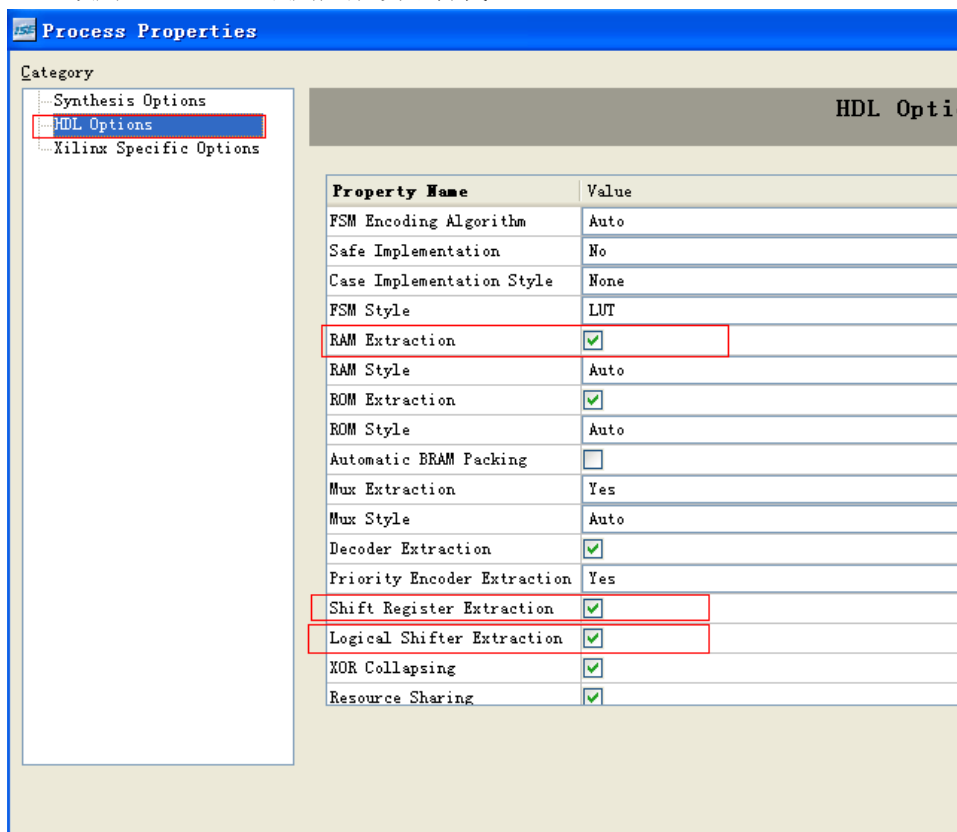


图5 消除LUT\_RAM和LUT\_shift register的设置（将勾去除）

### 7.1.3 对 FPGA 的影响：

- 1) 上电后 FPGA 第一次配置完成时间：无改变；
- 2) 对用户功能的影响：无；
- 3) 刷新状态下 FPGA 核心电源电流有一定增加；
- 4) 不刷新 BRAM，对 BRAM 内存储的用户数据无影响。

## 7.2 对电源的要求

要求电源至少提供 1A 供电能力，上电应单调上升，不得出现平台或者下降。

## 7.3 产品防护

产品包装由无腐蚀的材料制成，能导电或用防静电材料涂敷过或浸渍过，具备足够的防静电能力。

在避免雨、雪直接影响的条件下，装有产品的包装箱可以用任何运输工具运输。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。

包装好的产品贮存环境应满足 Q/W 657A—2007 第 8.1 规定的 I 类库房条件要求(温度: 15℃~25℃, 湿度: 25%~65%), 周围没有酸、碱或其它腐蚀性气体, 通风良好, 且具备相应防静电措施。

## 八、用户关注产品信息

### 8.1 产品鉴定信息

|        |           |   |
|--------|-----------|---|
|        | 鉴定产品批次    | 1517  |
| 鉴定执行标准 | 总规范名称及编号  | 半导体集成电路总规范 (GJB 597A-1996 )                       |
|        | 详细规范名称及编号 | 半导体集成电路 SRAM 型 FPGA 智能刷新控制电路详细规范(Q/Zt 20299-2013) |
|        | 附加技术条件    | 无   |
|        | 质量等级      | CC  |
| 鉴定情况   | 鉴定试验日期    | 2015.9~2015.12                                    |
|        | 鉴定试验机构    | 北京微电子技术研究所  |
|        | 鉴定报告编号    | 15-061  |

### 8.2 产品标识

标志应按 GJB597A-1996 中 3.6 的规定。电路型号为 BSV1CQRH, 电路标识见图 6。至少应包含以下内容:

- 日期代码: 按照 GJB597A—1996 的规定;
- 生产厂标识;
- 器件型号: BSV1CQRH;
- 其他说明: “△△” 为静电等级标识; “XXXX” 为器件生产批次
- 如果器件在 QPL 内, 应在器件型号前打贯标标识 J。

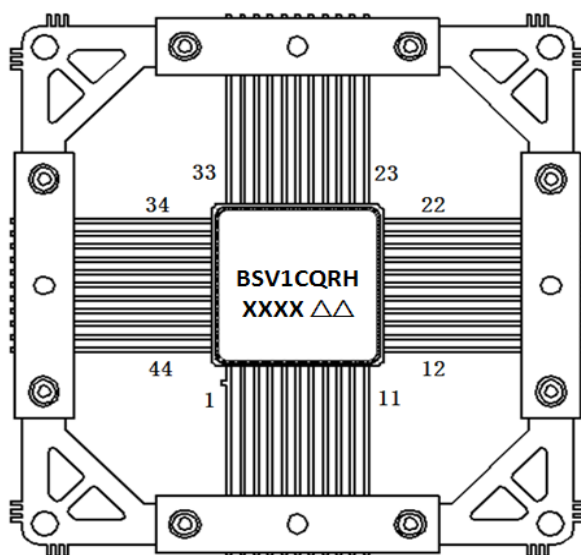






图 6 BSV1CQRH 电路标识示意图

#### 8.4 研制生产单位联系方式

通信地址：北京市丰台区东高地四营门北路2号

邮政编码：100076

联系部门：市场二部      电话/传真：010-67968115-6313/010-68757706

FPGA部 谷羽      电话：010-67968115-8548/13426461565