

Ver 1.2

单粒子加固 1.6-2.5Gbps SERDES 收发器

产品使用手册

产品型号: BLK2711MQRH



北京微电子技术研究所



版本控制页

版本号	发布日期	更改章节	更改说明	备注
1.0	2017.5			
1.1	2018.4		更换模板	
1.2	2018.5	4	修正表 1 中 GND 引脚编号的错误	



目 录

1. 器件简介	5
2. 应用领域	5
3. 简要介绍	5
4. 引脚定义和功能描述	6
5. 详细介绍	9
5.1 概述	9
5.2 功能框图	9
6. 功能详细描述	10
6.1 并行发送端口	10
6.2 发送数据总线	10
6.3 8B/10B编码器	11
6.4 并-串转换	11
6.6 差分接收端口	12
6.7 信号丢失 (LOS)监测	12
6.8 串-并转换	13
6.9 逗号检测和 8B/10B解码	13
6.10 接收数据总线	14
6.11 数据发送延迟	14
6.12 数据接收延迟	15
6.13 伪随机序列 (PRBS)产生	15
6.14 伪随机序列 (PRBS)校验	15
6.15 可测试性	15
6.16 环回测试	16
6.17 内建自测试 (BIST)	16
6.18 上电复位 (POR)	16
6.19 参考时钟输入	17
6.20 工作频率范围	17
7. 参数定义	17
7.1 绝对最大额定值 ⁽¹⁾	17



7.2	推荐工作条件.....	18
7.3	抗ESD能力.....	18
7.4	热阻信息 ⁽¹⁾	18
7.5	TTL输入电学特性.....	19
7.6	发送器/接收器电学特性.....	20
7.7	TTL输出电学特性.....	22
7.8	参考时钟(GTX_CLK)要求.....	23
8.	功能模式.....	23
8.1	低功耗模式.....	23
8.2	直流耦合模式.....	23
8.3	交流耦合模式.....	24
9.	应用指南.....	24
9.1	应用方式.....	24
9.2	典型应用.....	25
10.	推荐供电方式.....	26
11.	研制生产单位联系方式.....	27



1. 器件简介

BLK2711MQRH 是航天 772 所研发的一款与 TI 公司 TLK2711-SP 完全兼容的宇航级单粒子加固高速 SDEDES 收发器电路，数据传输速率范围为 1.6Gbps-2.5Gbps，可应用于计算机、无线通信、图像传输等领域，在航天领域的飞行控制系统、运载火箭、卫星通信、天基成像及监视等系统中也广泛应用。BLK2711MQRH 具有以下特性：

- ◆ 最高支持 2.5Gbps 串行数据传输速率，提供超过 2.0Gbps 的有效数据带宽，支持背板、铜线和光纤转换器等接口；
- ◆ 采用 2.5V 电源供电，具有低于 600mW 的动态功耗（使用内部 PRBS 产生器）；
- ◆ 输入低速参考时钟（80 MHz -125 MHz），片内 PLL 提供时钟综合；
- ◆ 支持片内 8B/10B 编解码、逗号检测（Comma Detect）和字节对准（Byte Alignment）；
- ◆ 并行端支持 16 位数据，兼容 TTL 标准，支持 3V 耐压；
- ◆ 串行发送器具有可编程预加重功能，输出电压摆幅两档可调节；
- ◆ 串行接收器内部集成 50 欧姆终端匹配电阻（单端阻抗 50 欧姆、差分阻抗 100 欧姆），差分输入门限最低可达 220mV，具备信号失效检测功能（VID<200mV 时关闭内部接收电路）；
- ◆ 内部集成伪随机码生成器，并支持环回（Loop-back）测试，可完成器件的内建自测试（BIST）；
- ◆ 支持热插拔保护（上电掉电三态控制），满足军级温度范围（-55℃~125℃）；
- ◆ 抗总剂量：大于 100Krad(Si)；
- ◆ 抗单粒子锁定（SEL）LET 阈值：大于 75MeV · cm²/mg；
- ◆ 抗单粒子翻转（SEU）LET 阈值：大于 15MeV · cm²/mg；
- ◆ 典型应用条件下误码率(BER) 低于 1E-12；
- ◆ 封装形式 CQFP68。

2. 应用领域

- ◆ 点到点高速 IO 通信
- ◆ 数据传输

3. 简要介绍

BLK2711MQRH 是一款多吉比特收发器，用于超高速双向点对点数据传输，支持 1.6Gbps-2.5Gbps 的串行传输速率范围，最高提供 2.0Gbps 的数据带宽。

BLK2711MQRH 主要应用于为点对点数据传输提供高速 IO 数据通道，通过接近 50 Ω 可控阻抗的传输介质。传输介质可以是 PCB 迹线、铜质电缆线、光纤电缆等。最高传输速率和最长传输距



离取决于传输介质的损耗特性和来自环境的耦合噪声。

BLK2711MQRH 可用于取代传统的并行数据传输架构，这有助于减少传输信道、连接器、发送器/接收器引脚等的数量。加载到发送器的数据通过一个串行通道传输至接收器，串行通道可以是同轴电缆、可控阻抗的背板迹线或者光纤。在接收器端串行数据会被重新还原为原始的并行数据。相比并行传输方案，使用 BLK2711MQRH 更有助于降低功耗和成本，在未来也更易于移植到更高的数据传输速率。

BLK2711MQRH 执行并-串转换和串-并转换操作。由于具备时钟恢复功能，BLK2711MQRH 可以作为物理层 (PHY) 接口器件使用。其串行收发接口最高可工作在 2.5Gbps 速率下。发送器基于外部提供的参考时钟 (GTX_CLK) 的速率完成 16-bit 并行数据的锁存。这 16-bit 并行数据在内部通过 8B/10B 编码的方式转换为 20 bits，生成的 20-bit 字以 GTX_CLK 速率的 20 倍进行差分传输。接收器部分执行串-并转换操作，生成的 20-bit 位宽的并行数据根据恢复得到的时钟 RX_CLK 进行同步，然后这 20-bit 位宽的并行数据通过 8B/10B 解码在 RXD0 - RXD15 端口上生成 16 bits 并行数据。BLK2711MQRH 可实现的有效数据带宽为 1.28Gbps 到 2Gbps (等于 16 bits 数据乘以 GTX_CLK 频率)。

为了实现自测试，BLK2711MQRH 内部提供了环回通道。串行器生成的串行数据可以直接送往解串器，这样可为执行协议操作的器件提供物理层接口的自检查。

BLK2711MQRH 包含一个信号丢失 (LOS) 监测电路，防止接收到的数据由于信号幅度过小导致时钟恢复电路失锁。通过将两片 BLK2711MQRH 组合使用允许用户实现冗余接口。在 ENABLE 为高电平时，将 LCKREFN 引脚置为低电平，会将所有并行接收数据端口 (RXD0 - RXD15, RX_CLK, RKLSB 和 RKMSB) 置为高阻态，器件将工作在只发送模式，因为接收器不再提取数据信号。要注意的是，在上电复位期间，LCKREFN 必须置为高电平，具体参见“上电复位 (POR)”部分。如果 ENABLE 为低电平，RKMSB 将输出 LOS 监测器的状态 (低电平代表监测到了 LOS 事件)，所有其它接收端的输出引脚将被置为高阻态。

BLK2711MQRH 的 TTL I/O 支持 3-V 耐压。

BLK2711MQRH 支持热插拔，在上电期间，内部的上电复位电路 (POR) 会将 RX_CLK 拉低、将并行端的输出引脚 (RXD0-RX15/RKMSB/RKLSB) 和 DOUTXP/DOUTXN 引脚置为高阻态。

4. 引脚定义和功能描述

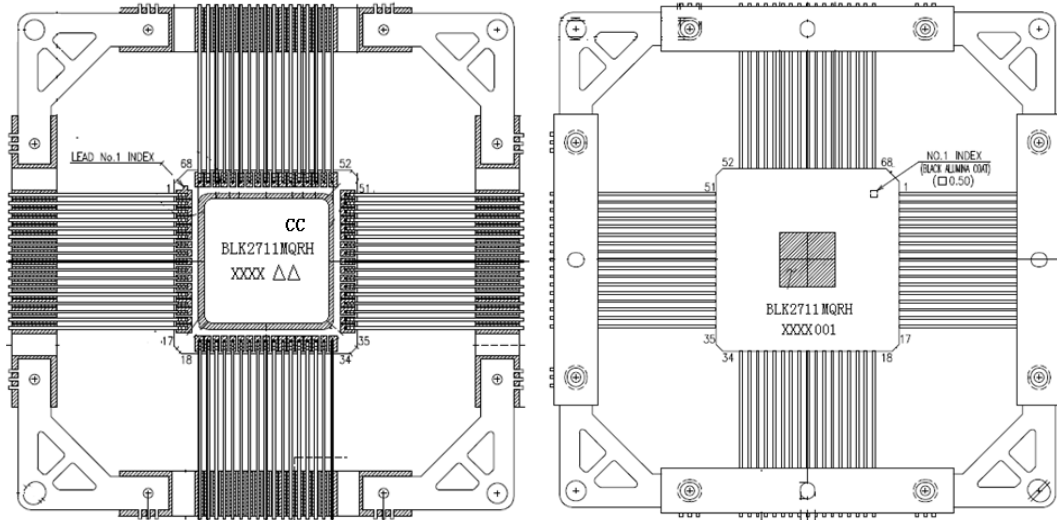


图1 封装顶视图&底视图

表1 引脚功能

引脚名	序号	I/O	功能描述
V _{DD}	1, 9, 24, 40, 50	电源	数字电源，为内部数字电路和数字 I/O 供电
V _{DDA}	59, 61	电源	模拟电源，为内部模拟电路（PLL、差分驱动器和接收器）供电
GND	5, 13, 17, 19, 29, 34, 35, 45, 51, 55, 58, 62, 65	地	模拟和数字地
TXD0~TXD15	66, 67, 68, 2, 3, 4, 6, 7, 10, 11, 12, 14, 15, 16, 18, 20	输入	发送数据总线，接收来自协议器件的 16-Bit 宽的并行数据，送给发送器进行编码，在 GTX_CLK 的上升沿会进行数据采样，经寄存后进行后续编码/串并转换操作，参见图 3。
TKLSB	23	输入	K-Code 指示信号，“1”有效，表明出现在 TXD0~TXD7 端口的为控制码（K-Code）；为“0”时，表明为数据码（D-Code）
TKMSB	21	输入	K-Code 指示信号，“1”有效，表明出现在 TXD8~TXD15 端口的为控制码（K-Code）；为“0”时，表明为数据码（D-Code）
GTX_CLK	8	输入	参考时钟，需外部提供的连续输入时钟信号，用于发送端口 TXD0~TXD15、TKMSB/TKLSB 的数据寄存同步操作（利用其上升沿），频率范围 80MHz - 135MHz

RXD0~RXD15	54, 53, 52, 49, 48, 47, 46, 44, 42, 41, 39, 38, 37, 36, 33, 32	输出	接收数据总线, 携带发往协议器件的 16-Bit 宽的并行数据, 由 RX_CLK 进行同步, 在 RX_CLK 的上升沿时数据有效, 参见图 5, 这些引脚在上电复位期间为高阻态
RKLSB	30	输出	K-Code 指示信号和 PRBS 校验结果指示信号, 为“1”时, 表明出现在 RXD0~RXD7 的为控制码; 为“0”时, 表明为数据码 (D-Code); PRBSEN 置为高时, 该信号还作为 PRBS 校验结果的指示信号, 为“1”时, 表明接收到的伪随机码正确; 反之, 表明出现错误
RKMSB	31	输出	K-Code 指示信号和 LOS 监测结果指示信号, 为“1”时, 表明出现在 RXD8~RXD15 的为控制码; 为“0”时, 表明为数据码 (D-Code); 当差分信号接收端 DINRXP/DINRXN 的差分电压幅度小于 200mV 时, 表明信号丢失, 此时 RXD0~RXD15、RKMSB/RKLSB 均会被拉至高电平; 当 ENABLE 为低时, RKMSB 输出 LOS 监测器的状态 (低电平代表监测到了 LOS 事件)
RX_CLK	43	输出	接收端恢复出的时钟信号, 用于 RXD0~RXD15、RKMSB/RKLSB 的数据输出同步操作, RX_CLK 的频率等于恢复数据速率的 1/20, 该信号在上电复位期间为低电平
DOUTTXP DOUTTXN	64 63	输出	串行数据的差分输出端口, 可与铜质电缆或光纤接口连接, 这两个端口以 GTX_CLK 的 20 倍速率向外发送 NRZ 数据; LOOPEN 为“1”时, 这两个端口为高阻态; 两个端口在上电复位期间为高阻态
DINRXP DINRXN	57 56	输入	串行数据的差分接收端口, 这两个端口之间串联有两个 50-Ω 的端接电阻, 方便用户使用
ENABLE	25	输入	器件使能管脚, “1”有效; ENABLE 为“0”时, 器件处于 Power-down 模式, 此时仅有 LOS 监测模块有效, 可检测差分输入端的电压幅度, 并在 RKMSB 引脚输出检测结果; 在 Power-down 模式下将 ENABLE 拉高, 器件将在开始正常工作之前首先进入上电复位状态

LCKREFN	26	输入	使接收器采样时钟锁定至输入参考时钟 GTX_CLK, “0”有效, 此时器件只能在发送模式下, 因为接收器采样时钟无法与接收到的数据实现同步; 当 ENABLE 为高电平且 LCKREFN 为低电平时, RXD0 - RXD15、RX_CLK、RKLSB 和 RKMSB 都置为高阻态; 当 ENABLE 为低时, RKMSB 输出 LOS 监测器的状态 (低电平代表监测到了 LOS 事件), 所有其它引脚为高阻态; 在上电复位期间, LCKREFN 必须置为高电平, 具体参见“上电复位 (POR)”部分
LOOPEN	22	输入	环回 (Loop-Back) 模式使能管脚, “1”有效, 此时经过并串转换的串行数据不经过驱动器直接送至接收端, 驱动器引脚 DOUTTXP/DOUTTXN 为高阻态; 这样跟协议器件组合起来可实现自测试能力; 标准工作模式下, LOOPEN 应为低电平
PRE	60	输入	预加重控制管脚, “1”有效, 在出现信号翻转的 BIT, 差分电压幅度有 20%的提升; 置为“0”或悬空时, 差分电压幅度有 5%的提升
PRBSEN	27	输入	伪随机码使能管脚, “1”有效, 内部伪随机码生成模块开始工作, 产生特定码型的数据, 在接收数据通路上包含有伪随机码校验模块 (在 RKLSB 引脚输出校验结果, “1”表示收到了有效 PRBS 数据), 可用于内建自测试, 此时在并行数据输入端 (TXD0~TXD15) 的数据会被忽略
TESTEN	28	输入	测试模式使能管脚, “1”有效, 此时可通过在 TXD0~TXD15、TKMSB/TKLSB 打入数据, 抓取内部节点的状态, 并在 RXD0~RXD15 输出, 此模式不对用户开放; 用户使用时需将该管脚悬空或接 GND

5. 详细介绍

5.1 概述

接下来将详细介绍 BLK2711MQRH 的各功能模块及工作原理。

5.2 功能框图

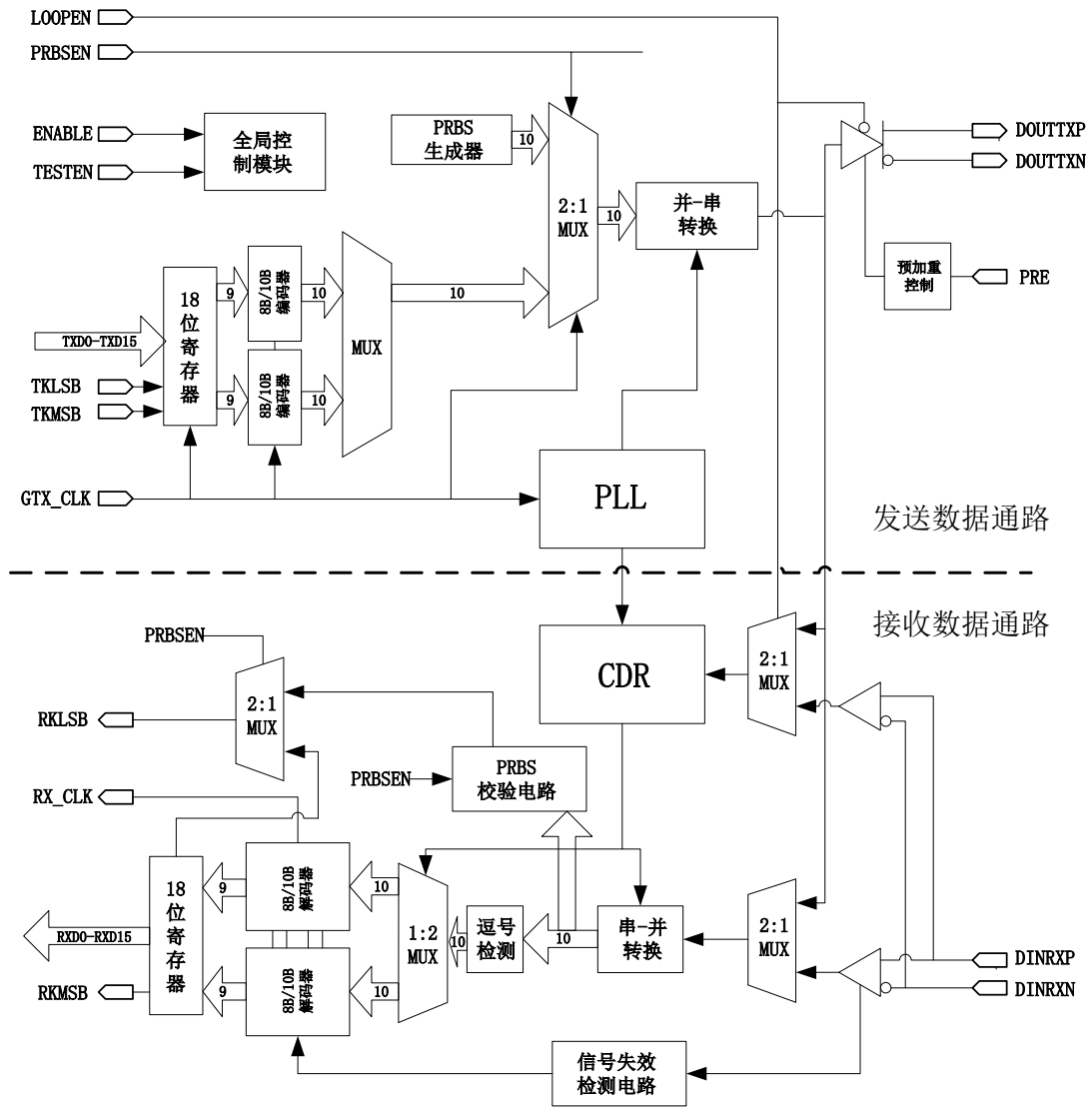


图2 功能框图

6. 功能详细描述

6.1 并行发送端口

在 GTX_CLK 的上升沿, 发送端口对输入的 16-bit 宽有效数据 (TXD0 - TXD15) 进行采样寄存。然后这些数据会进行 8B/10B 编码、并-串转换并通过高速差分 IO 通道进行串行发送。内部的时钟综合器 (PLL) 对输入参考时钟 (GTX_CLK) 进行 10 倍频, 产生位时钟, 用于并-串转换移位寄存器, 并在位时钟的上升沿和下降沿均发送数据, 因此产生的串行数据码率速率是参考时钟的 20 倍。要注意的是, 首先发送的是最低位 (LSB) (TXD0)。

6.2 发送数据总线

TXD0 - TXD15 引脚接收 16-bit 宽单端 TTL 并行数据。GTX_CLK 用作字时钟，在 GTX_CLK 的上升沿，数据和 K 码控制信号（TKMSB/TKLSB）应有效。数据、K 码控制信号以及时钟信号应满足图 3 所示的时序关系，具体的时序参数定义详见“参数定义”部分。

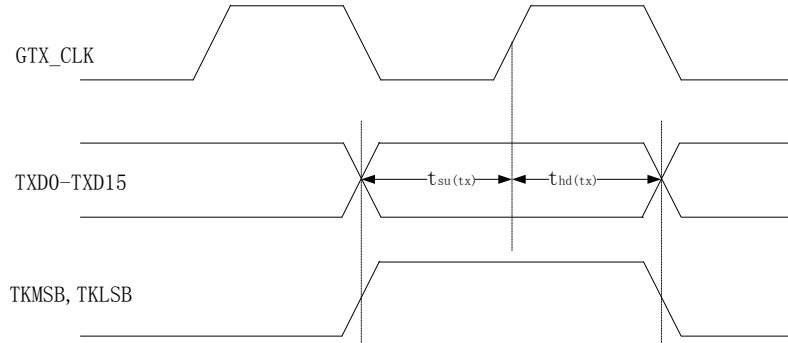


图3 发送时序图

6.3 8B/10B 编码器

为了保证内部的时钟数据恢复电路(CDR)能获得足够数量的信号翻转以保持锁定状态，通常串行接口都需要一种编码机制以保证串行信号由足够的翻转密度。编码机制通过保持 0 和 1 的数量近似相等实现直流平衡，这样可提供足够的翻转密度。BLK2711MQRH 采用 8B/10 编码算法，该算法广泛应用在光纤通信和吉比特以太网通信。该算法对用户是明确和透明的，BLK2711MQRH 在内部进行编码和解码操作，用户实际读取和写入的仍然为 16-bit 数据。

8B/10 编码器将 8-bit 数据转换为 10-bit 数据以增强传输稳定性。由于 BLK2711MQRH 的接口位宽是 16-bit，输入的数据将被分割为两个 8-bit 字节分别进行编码，编码操作受另外两个信号 TKMSB/TKLSB 控制，具体参见表 2。

表2 发送数据控制

TKLSB	TKMSB	16 BIT 并行输入信号	
0	0	TXD0-TXD7 上为有效数据	TXD8 -TXD15 上为有效数据
0	1	TXD0-TXD7 上为有效数据	TXD8 -TXD15 上为 K 码
1	0	TXD0-TXD7 上为 K 码	TXD8 -TXD15 上为有效数据
1	1	TXD0-TXD7 上为 K 码	TXD8 -TXD15 上为 K 码

6.4 并-串转换

并-串转换移位寄存器接收来自 2 个并行的 8B/10B 编码器的 20 位宽数据，并转换为串行码流。移位寄存器在内部产生的位时钟信号的上升沿和下降沿均采集数据，位时钟信号的频率是 GTX_CLK 的 10 倍。最低位（TXD0）首先被发送出去。

6.5 高速数据输出

高速数据输出驱动器由电压模式逻辑（VML）差分对构成，驱动器针对 50-Ω 阻抗环境进行了优化设计。交流（AC）耦合时，差分输出电压摆幅与伪射级耦合逻辑（PECL）标准兼容。传输线可以直流耦合或交流耦合，参见图 13 和图 14 详细的端接示意图。输出驱动器还提供预加重功能，以补偿由于长距离驱动电缆线或 PCB 背板迹线带来的交流损耗（见图 4）。预加重的幅度受 PRE 信号控制（见表 3）。

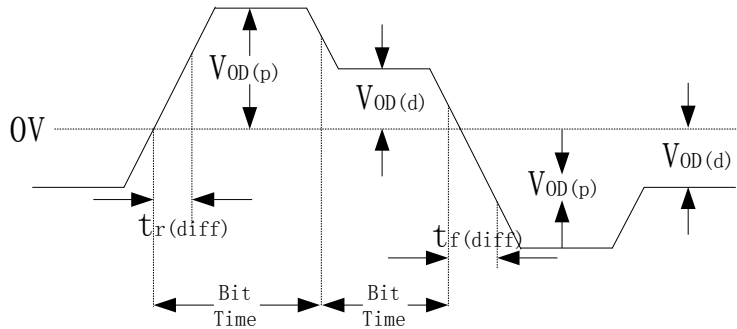


图4 预加重时的输出电压(VTXP-VTXN)

表3 可配置预加重

PRE	预加重幅度 (%) $V_{OD(p)}, V_{OD(d)}^{(1)}$
0	5%
1	20%

(1) $V_{OD(p)}$: 串行码流中有信号跳变时的电压摆幅

$V_{OD(d)}$: 串行码流中无信号跳变时的电压摆幅

6.6 差分接收端口

差分接收端口接收来自差分发送器经过 8B/10B 编码的串行数据。插值和时钟恢复电路锁定串行数据流并提取位速率的时钟信号。这个恢复出来的时钟信号用于对输入串行数据流进行重定位。然后串行数据流会被截取为两个独立的 10 位宽数据，进行串-并转换、8B/10B 解码，输出一个 16 位宽的并行数据，这个并行数据由恢复出的时钟信号（RX_CLK）进行同步。在接收端口，首先接收到最低位（RXD0）数据。

6.7 信号丢失 (LOS) 监测

在一些情况下，输入的串行数据可能出现电压幅度过低导致时钟恢复电路无法保持在锁定状态，BLK2711MQRH 内部包含有信号丢失检测电路，用来检测这种情况的发生。信号丢失检测电路主要用来进行粗略的信号故障指示，例如电缆未连接或是没有信号发送，而不能用来进行信号编码质量的指示。信号情况发生时，BLK2711MQRH 会将 RKLSB、RKMSB 和 RXD0 - RXD15 引脚均置为高阻态。只要差分电压幅度大于 200mV，信号丢失检测电路就不会报告错误。当器件处于关闭状态时（ENABLE 拉低），RKMSB 引脚将输出信号丢失检测电路的

状态，RKMSB 变低表明 LOS 事件发生。

6.8 串-并转换

DINRXP 和 DINRXN 引脚接收串行数据，若即将恢复出的时钟信号在内部产生位时钟信号的 200 PPM 精度范围内，插值和时钟恢复电路会锁定串行数据流。这个恢复出来的时钟信号用于对输入串行数据流进行重定位。然后串行数据流会被输入串-并转换移位寄存器，输出的 20 位并行数据分别送至两个独立的 8B/10B 解码器，在这里通过探测逗号同步码（例如 K28.5），会定位出输入数据流的字节边界。

6.9 逗号检测和 8B/10B 解码

BLK2711MQRH 内部包含两个并列的 8B/10B 解码电路，每个解码电路将 10 位编码数据重新解码为 8 位数据。在 8B/10B 编解码机制下，逗号检测电路用于进行字节边界对准。当并行数据通过并-串转换电路变为串行数据时，并行数据的边界就丢失了。在进行串行数据接收并重新还原为并行数据的过程中，需要一种机制来识别字节边界。通常可通过使用同步码来实现。同步码一般是一组不会在有效数据中串的 0 和 1 组合，或者是在固定间隔时间段内重复出现的码型。8B/10B 编码机制使用一种称为逗号（Comma, b0011111 或 b1100000）的序列进行字节边界对准。解码器探测到这个逗号，会产生一个同步信号，定位数据流中的 10 位字节边界并进行解码，逗号会映射到低八位。然后解码器会把 10 位宽数据转换为 8 位宽数据。两个解码器输出的 16 位宽数据由恢复的并行数据时钟（RX_CLK）进行同步，并在 RX_CLK 的下降沿输出，因此在 RX_CLK 的上升沿数据有效。

注意事项

BLK2711MQRH 只识别 0011111 的逗号进行字节对准。

解码另外产生两个信号，RKLSB 和 RKMSB。当 RKLSB 为高时，表明收到的是 K 码，并且 K 码会出现在 RXD0 - RXD7 引脚；否则，表明收到的是 D 码。当 RKMSB 为高时，表明收到的是 K 码，并且 K 码会出现在 RXD8 - RXD15 引脚；否则，表明收到的是 D 码。参见表 4。BLK2711MQRH 可识别的有效 K 码列在表 5 中。不管是高位字节还是低位字节，一旦探测到错误发生（包括收到不在表 5 中的 K 码），将会输出 K0.0 码，而 K0.0 码是公开所知的无效 8B/10B 码。LOS 事件发生时，会输出 K31.7 码，同样 K31.7 码也是公开所知的无效 8B/10B 码。

表4 接收状态信号对照表

RKLSB	RKMSB	解码数据	
0	0	RXD0-RXD7 上为有效数据	RXD8 -RXD15 上为有效数据
0	1	RXD0-RXD7 上为有效数据	RXD8 -RXD15 上为 K 码
1	0	RXD0-RXD7 上为 K 码	RXD8 -RXD15 上为有效数据

1	1	RXD0-RXD7 上为 K 码	RXD8 -RXD15 上为 K 码
---	---	------------------	--------------------

表5 有效的 K 码表

K 码	接收数据 (RXD0-RXD7或 RXD8-RXD15)
K28. 0	000 11100
K28. 1 ⁽¹⁾	001 11100
K28. 2	010 11100
K28. 3	011 11100
K28. 4	100 11100
K28. 5 ⁽¹⁾	101 11100
K28. 6	110 11100
K28. 7 ⁽¹⁾	111 11100
K23. 7	111 10111
K27. 7	111 11011
K29. 7	111 11101
K30. 7	111 11110

(1) 当累积不均等值 <0 时, 这些K码只能出现在RXD0-RXD7信号上; 否则将出现数据收发错误。

6.10 接收数据总线

接收数据总线驱动 16 位宽单端 TTL 信号到 RXD0-RXD15 引脚。在 RX_CLK 的上升沿数据有效, RX_CLK 是恢复得到的字时钟信号。数据信号、RKLSB、RKMSB 和时钟信号的时序关系如图 5 所示。在开关特性表中有详细的时序参数值。

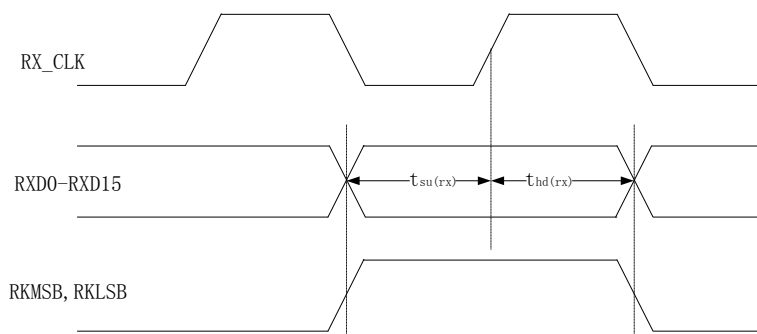


图5 接收端时序图

6.11 数据发送延迟

数据发送延迟定义为从 16-bit 数据加载仅发送端到第 0 个 bit 出现之间的时间。一旦通信建立起来, 数据发送延迟是固定的。然而, 受芯片制造工艺偏差和外界环境影响 (如电源电压波动和温度变化), 真实的延迟值会轻微波动, 最小值是 34 bit, 最大值是 38 bit 。

图 6 显示了并行发送数据、GTX_CLK 和串行数据之间的时序关系。

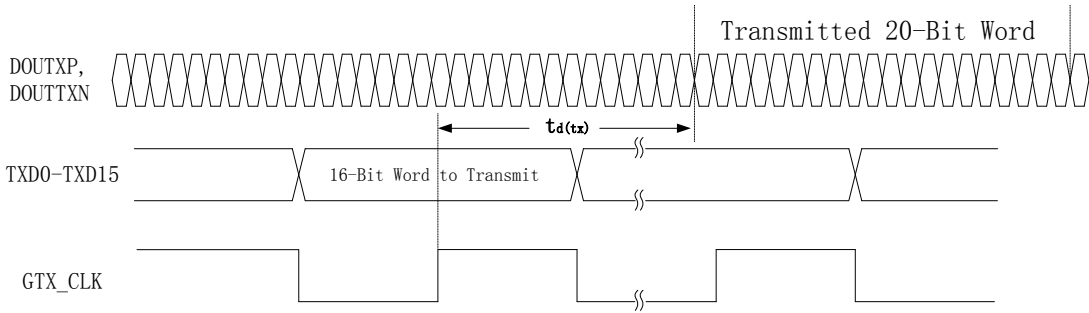


图6 数据发送延迟

6.12 数据接收延迟

数据接收延迟定义为从第 1 位出现在接收器到 16 位并行数据出现在接收端到之间的时间。一旦通信建立起来，数据接收延迟是固定的。然而，受芯片制造工艺偏差和外界环境影响（如电源电压波动和温度变化），真实的延迟值会轻微波动，最小值是 76bit，最大值是 107 bit。图 7 显示了并行接收数据、RX_CLK 和串行数据之间的时序关系。

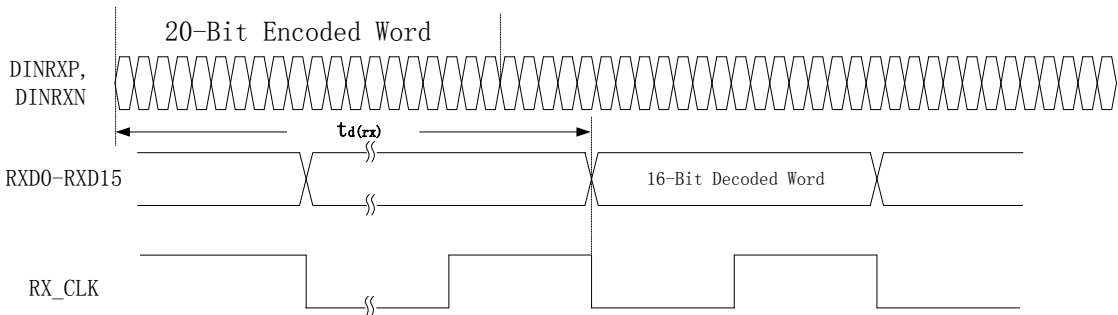


图7 数据接收延迟

6.13 伪随机序列 (PRBS) 产生

BLK2711MQRH 内部包含一个 $2^7 - 1$ 的 PRBS 产生器。当 PRBSEN=1 时，PRBS 开始工作，工作时产生 10 位并行数据并将其送入并串转换器，数据进入并串转换器后变成串行数据，串行数据可送入误码率测试仪（BERT），或者发送给另一个 BLK2711MQRH，再或者环回给这个 BLK2711MQRH 进行串并转换。**需要注意的是：PRBS 属于伪随机序列发生器，且在此模式下，外部输入数据无效。**由于 PRBS 不是真正意义上的随机，而是预先定义好的 1 和 0 的组合，因此串行输出数据可通过误码仪进行错误校验。

6.14 伪随机序列 (PRBS) 校验

BLK2711MQRH 在接收端内部还包含有内建的误码仪（BERT）功能，通过 PRBSEN 信号使能。它可以检查错误并通过将 RKL5B 拉低指示错误。

6.15 可测试性

BLK2711MQRH 包含多种内建自测试 (BIST) 选项。环回模式提供了芯片发送和接收部分的在速测试, 使能引脚 (ENABLE) 可以用于测试芯片的静态功耗, PRBS 功能可用于内建自测试 (BIST)。

6.16 环回测试

将 LOOPEN 引脚置为有效即可让电路进入环回模式, 在环回模式中, 发送端数据经内部互连线环回至接收端。可使用接收端并行输出数据与发送端并行输入数据进行比对, 以验证电路功能是否正确。在此模式下, 差分信号输出端将被置为高阻态。

6.17 内建自测试 (BIST)

BLK2711MQRH 拥有内建自测试 (BIST) 功能。通过组合使用环回模式和 PRBS 模式可实现芯片中的电路全速自测试。在该模式下, 芯片的 BIST 测试结果体现在 RKLSB 引脚上。

6.18 上电复位 (POR)

器件使能时 (ENABLE 为高), 只要施加了最低的有效电源电压和有效的 GTX_CLK 时钟信号, BLK2711MQRH 首先会进行上电复位操作。在上电复位时, RXD0~RXD15、RKLSB、RKMSB 引脚进入高阻态, RXCLK 维持低电平。在上电复位期间, LCKREFN 必须接高电平以确保接收端的能收到有效的信号翻转。要使接收端出现有效信号翻转可通过在 DINRXP/DINRXN 施加有效串行数据或将 LOOPEN 置为高电平来实现。在仅使用发送端电路 (TX) 时 LOOPEN 及 LCKREFN 首先必须同时接高电平, 为了使接收端电路进行正确的复位操作。在上电复位结束后, 仅使用发送端电路 (TX) 的应用中 LCKREFN 可以接低电平。上电复位时间的长短取决于 GTX_CLK 的频率, 但通常都小于 1ms, 如图 8 所示。综上所述, 建议用户在芯片上电后应立刻复位接收端电路, 否则在某些情况下, 可能导致接收端电路上电后处于内部竞争状态。

在上电复位期间或结束时, 如果 LCKREFN 不能置高, 则应该在上电复位末尾或结束后至少维持 1 μ S 的高电平, 并施加有效的信号翻转以保证正确完成接收端复位操作。

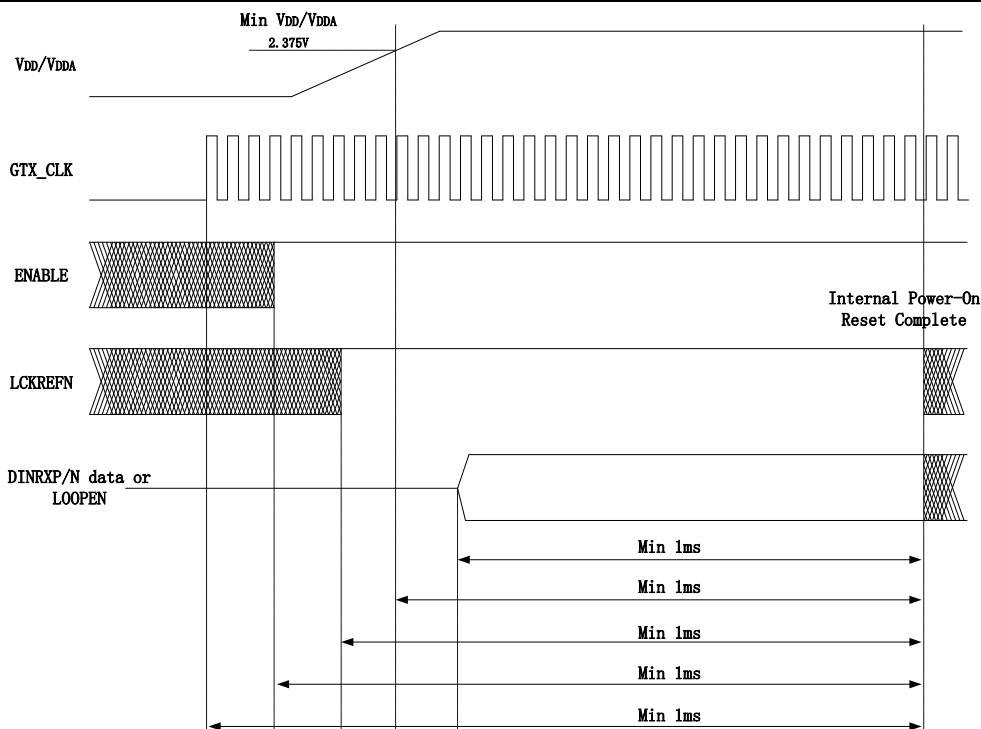


图8 上电复位时序图

6.19 参考时钟输入

参考时钟信号 (GTX_CLK) 是由外部提供的输入时钟，用于同步发送器接口。在 BLK2711MQRH 内部，会对 GTX_CLK 进行 10 倍频产生内部串行操作的位时钟信号。在内部串行位时钟信号的上升沿和下降沿，均往外发送串行数据，因此串行数据的传输速率是参考时钟的 20 倍。

6.20 工作频率范围

BLK2711MQRH 的串行速率为 1.6Gbps~2.5Gbps，为了达到上述指标，须向 GTX_CLK 提供 80MHz~125MHz 的时钟信号，且 GTX_CLK 的精度须达到 ±100 PPM。

7. 参数定义

7.1 绝对最大额定值(1)

除非另有说明，以下参数均在全温度范围内进行测试。

参数		最小值	最大值	单位
V_{DD}/V_{DDA}	电源电压 ⁽²⁾	-0.3	3	V
IO电压	TXD0 to TXD15, ENABLE, GTX_CLK, TKMSB, TKLSB, LOOPEN, PRBSEN,	-0.3	4	V

	LCKREFN, PRE, TESTEN			
	RXD0-RXD15, RKMSB, RKL5B, RX_CLK	-0.3V	$V_{DD} + 0.35$	V
	DINRXP, DINRXN, DOUTTXP, DOUTTXN	-0.35V	$V_{DDA} + 0.35$	V
	不加电的接收器暴露在外部输入的累积时间 ⁽³⁾	—	10	小时
T_C	工作温度区间	-55	125	°C
T_{stg}	存储温度区间	-65	150	°C

- (1) 超过绝对最大额定值可能导致器件永久性损伤，这仅指的是电应力，这种情况或者工作在推荐工作条件之外的其它情况可能对器件功能的影响则不适用。另外长时间暴露在绝对最大额定条件下可能影响器件可靠性。
- (2) 所有电压值（除了差分IO电压）都是相对于地（GND）的数值。
- (3) 如果接收器未加电，并通过外部的加电发送器给该接收器施加信号，在短时间内（在整个器件寿命期间可累积达到10小时）不会造成器件性能退化。该特点通过施加最大摆幅的 V_{OD} 、最低频率和典型 V_{CMT} 进行了验证，使用了推荐工作条件定义中的周期时间。

7.2 推荐工作条件

除非另有说明，以下参数均在全温度范围内进行测试。

参数		条件	最小值	正常值	最大值	单位
V_{DD}/V_{DDA}	供电电压	工作频率1.6~2.0Gbps	2.375	2.5	2.7	V
		工作频率2.0~2.5Gbps	2.5	2.6	2.7	V
I_{DD}	供电电流	工作频率1.6Gbps, 使用内部 PRBS发生器	—	130	140	mA
		工作频率2.5Gbps, 使用内部 PRBS发生器	—	210	222	mA
I_{SHD}	关态电流	ENABLE=0, $V_{DD}=V_{DDA}=2.7V$	—	—	4.5	mA
t_{lck}	PLL锁定时间	$V_{DD}=V_{DDA}=2.375V$	—	0.1	0.4	ms
	数据获得时间		—	1024	—	bits
T_C	工作温度区间		-55	—	125	°C

7.3 抗 ESD 能力

参数		值	单位
$V_{(ESD)}$	静电放电敏感度等级应符合 GJB597B-2012 中 3.4.2.4 规定的 2 级 ⁽¹⁾	±2000	V

- (1) JEDEC 文档 JEP155 中表述在标准的 ESD 控制流程下，500-V HBM 即可保证制造过程的安全。

7.4 热阻信息(1)

热阻		值	单位
$R_{\theta JC}$	结到壳体的热阻	3.5	°C/W

(1) 本芯片封装管壳的底部有一个热沉散热片，在电学上和热学上均与芯片裸芯（DIE）底部相连。为了有效移除热量，提供一个低阻抗的地通路，需要在PCB板上设计相应的散热接触焊盘。在常规的表贴焊接工艺中，将管壳底部的热沉散热片与PCB焊盘焊接在一起可提供一个有效的散热通道。通常PCB板上的散热焊盘会设计一定数量的散热通孔，这可提供一个连接内部覆铜区域（或者PCB板的反面）的散热通道，更有效地移除热量。我们通常建议在PCB上设计一个11.9-mm x 11.9-mm的散热焊盘并保留一个4.2-mm x 4.2-mm焊锡接触窗口，这样可实现最大的散热面积，并且管壳的热沉散热片和PCB上的散热接触焊盘面积相等。还应设计足够数量的热/电通孔，以保证器件工作在推荐工作条件下。注意这个散热接触焊盘必须与地相连。

7.5 TTL 输入电学特性

TTL 电平引脚及推荐的工作条件（除非另有说明）。

TTL信号包括：TXD0 - TXD15、GTX_CLK、LOOPEN、LCKREFN、ENABLE、PRBSEN、TKLSB、TKMSB、PRE。

参数		测试条件	最小值	正常值	最大值	单位
V_{IH}	TTL 输入高电平电压	如图 9 所示	1.7	—	—	V
V_{IL}	TTL 输入低电平电压	如图 9 所示	—	—	0.8	V
I_{IH}	TTL 输入高电平漏电流	25° C 时，不带上下拉的普通输入引脚（包括 TXD0-TXD15 和 GTX_CLK），VDD=2.7V，VIN=2.0V	-200	—	200	nA
		-55° C ~ +125° C，除 25° C 时，不带上下拉的普通输入引脚（包括 TXD0-TXD15 和 GTX_CLK），VDD=2.7V，VIN=2.0V	-1	—	1	μA
		-55° C ~ +125° C 时，带上下拉的输入引脚 b（包括 ENABLE, LCKREFN, TKLSB, TKMSB, PRBSEN, LOOPEN, PRE, TESTEN），VDD=2.7V，VIN=2.0V	-40	—	40	μA
I_{IL}	TTL 输入低电平漏电流	25° C 时，不带上下拉的普通输入引脚（包括 TXD0-TXD15 和 GTX_CLK），VDD=2.7V，VIN=0.4V	-200	—	200	nA
		-55° C ~ +125° C，除 25° C 时，不带上下拉的普通输入引脚（包括 TXD0-TXD15 和 GTX_CLK），VDD=2.7V，VIN=0.4V	-1	—	1	μA

		-55° C~+125° C 时, 带上下拉的输入引脚 b (包括 ENABLE, LCKREFN, TKLSB, TKMSB, PRBSEN, LOOPEN, PRE, TESTEN), VDD=2.7V, VIN=0.4V	-40	—	40	μA
$t_{r(tx)}$ ⁽¹⁾	GTX_CLK, TKMSB, TKLSB, TXD0~TXD15 的上升时间	0.7V-1.9V, CL=5pF, 如图 9 所示	—	1	—	ns
$t_{f(tx)}$ ⁽¹⁾	GTX_CLK, TKMSB, TKLSB, TXD0~TXD15 的下降时间	1.9V-0.7V, CL=5pF, 如图 9 所示	—	1	—	ns
$t_{su(tx)}$ ⁽¹⁾	TXD0~TXD15, TKMSB, TKLSB 相对于 GTX_CLK 上升沿的建立时间	如图 9 所示	1.5	—	—	ns
$t_{hd(tx)}$ ⁽¹⁾	TXD0~TXD15, TKMSB, TKLSB 相对于 GTX_CLK 上升沿的保持时间	如图 9 所示	0.4	—	—	ns

(1) 非生产测试参数

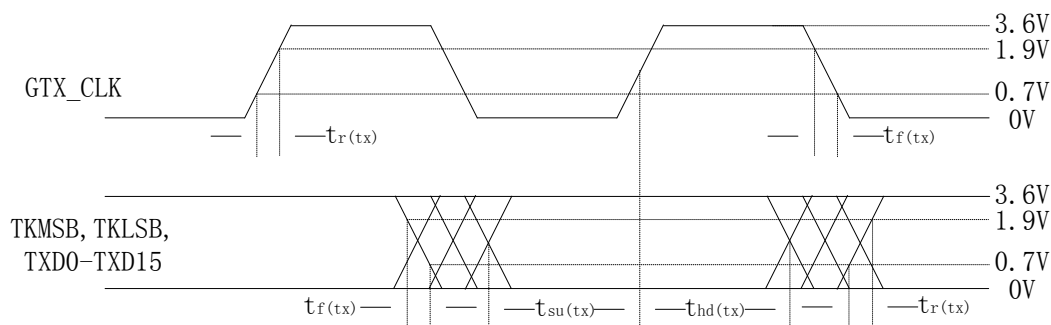


图9 TTL数据输入有效电平

7.6 发送器/接收器电学特性

除非另有说明, 以下参数均在全温度范围内进行测试。

参数	测试条件	最小值	正常值	最大值	单位	
$V_{OD(p)}$	有预加重时的输出差分电压摆幅, $ V_{DOUTTXP} - V_{DOUTTXN} $	PRE= 1, $R_t = 50 \Omega$, 采用 DC 耦合, 如图 10 所示	655	800	1150	mV
	PRE= 0, $R_t = 50 \Omega$, 采用 DC 耦合, 如图 10 所示	590	750	1050	mV	
$V_{OD(pp-p)}$	有预加重时的输出差分电压摆幅 (峰峰值)	PRE= 1, $R_t = 50 \Omega$, 采用 DC 耦合, 如图 10 所示	1310	1600	2300	mV

		PRE= 0, $R_t = 50 \Omega$, 采用 DC 耦合, 如图 10 所示	1180	1500	2100	mV
$V_{OD(d)}$	无预加重时的输出差分电压摆幅, $ V_{DOUTTXP} - V_{DOUTTXN} $	$R_t = 50 \Omega$, 采用DC耦合, 如图 10所示	540	650	950	mV
$V_{OD(pp-d)}$	无预加重时的输出差分电压摆幅(峰峰值)	$R_t = 50 \Omega$, 采用 DC 耦合, 如图 10 所示	1080	1300	1900	mV
V_{CMT}	差分输出共模电压范围, $(V_{DOUTTXP} + V_{DOUTTXN})/2$	$R_t = 50 \Omega$, 采用 DC 耦合, 如图 10 所示	1000	1250	1400	mV
$V_{CMR}^{(1)}$	差分接收端输入共模电压范围, $ V_{DINRXP} - V_{DINRXN} $		1000	1250	2250	mV
$V_{ID}^{(1)}$	差分接收端输入差模电压范围, $(V_{DINRXP} + V_{DINRXN})/2$		220	—	1600	mV
I_{LKG}	差分接收端(DINRXP, DINRXN)输入漏电流		-10	—	10	μA
$t_{r(diff)}$	差分输出信号(DOUTTXP, DOUTTXN)上升时间(20%-80%)	$R_L = 50 \Omega$, $C_L = 5pF$, 如图 10 所示	—	—	200	ps
$t_{f(diff)}$	差分输出信号(DOUTTXP, DOUTTXN)下降时间(80%-20%)	$R_L = 50 \Omega$, $C_L = 5pF$, 如图 10 所示	—	—	200	ps
J_{out}	串行输出数据总抖动, 包含随机性抖动和确定性抖动(Peak-to-Peak)	2.5Gbps, 采用内部PRBS产生模块输出PRBS串行码流	—	—	112	ps
		1.6Gbps, 采用内部PRBS产生模块输出PRBS串行码流	—	—	200	ps
$J_{tol}^{(1)}$	接收器抖动容限	包含随机性抖动和确定性抖动	0.4	—	—	UI ⁽²⁾
$t_{d(tx)}$	发送数据延迟	如图 3 所示	34	—	38	Bits
$t_{d(rx)}$	接收数据延迟	如图 7 所示	76	—	107	Bits

(1) 非生产测试参数

(2) UI是一个串行数据位的时间长度

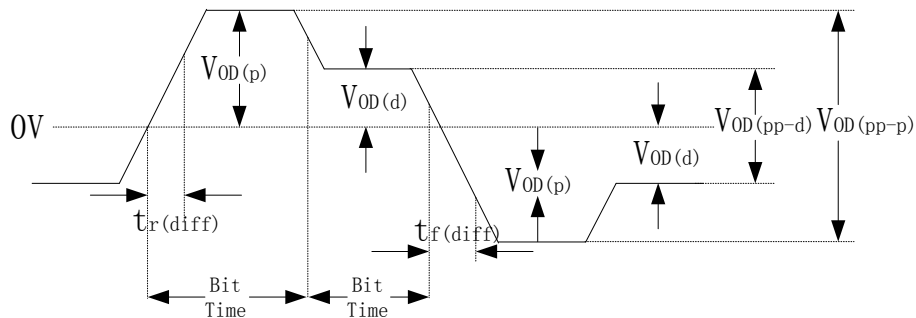


图10 差模和共模电压

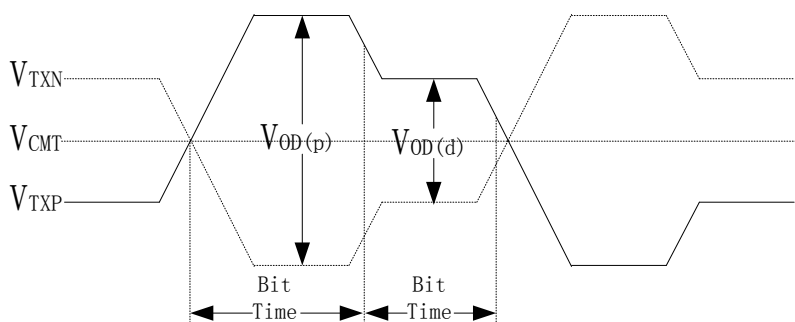


图11 差分输出共模电压定义

7.7 TTL 输出电学特性

除非另有说明，以下参数均在全温度范围内进行测试。

参数	测试条件	最小值	正常值	最大值	单位
VOH	TTL输出高电平电压	VDD=2.3V, IOH=-2mA	—	—	V
VOL	TTL输出低电平电压	VDD=2.3V, IOL=+2mA	—	0.5	V
tr(rx)	TTL输出信号上升时间 (RXD0-RXD15, RKMSB, RKLSB, RX_CLK)	0.8V-2.0V, CL=5pF, 如图12所示	—	2.4	ns
tf(rx)	TTL输出信号下降时间 (RXD0-RXD15, RKMSB, RKLSB, RX_CLK)	2.0V-0.8V, CL=5pF, 如图12所示	—	2.4	ns
tsu(rx) (1)	TTL输出信号建立时间, RXD0-RXD15, RKMSB, RKLSB相对于RX_CLK上升沿	GTX_CLK=80MHz, 如图12所示	3.0	—	ns
		GTX_CLK=125MHz, 如图12所示	2.5	—	ns
thd(rx) (1)	TTL输出信号保持时间, RXD0-RXD15, RKMSB, RKLSB相对于RX_CLK上升沿	GTX_CLK=80MHz, 如图12所示	3.0	—	ns
		GTX_CLK=125MHz, 如图12所示	2.0	—	ns

(1) 非生产测试参数

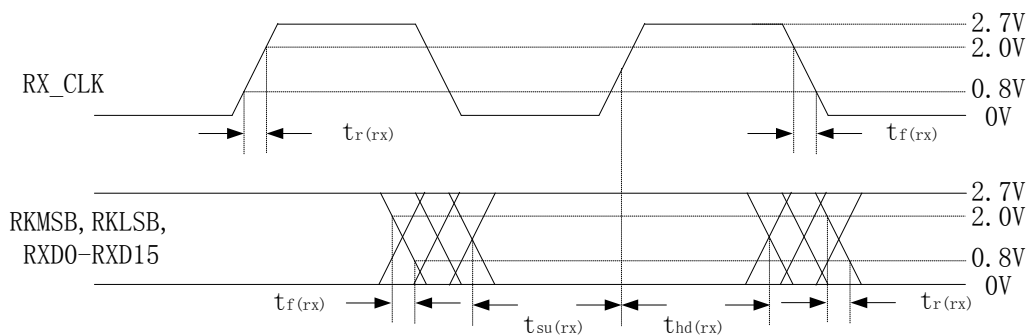


图12 TTL数据输出有效电平

7.8 参考时钟 (GTX_CLK) 要求

参数	测试条件	最小值	正常值	最大值	单位
频率容限		-100	—	100	ppm
占空比		40%	50%	60%	
抖动	峰峰值			40	ps

8. 功能模式

8.1 低功耗模式

当 ENABLE 引脚拉低时, BLK2711MQRH 进入低功耗模式。在此模式下, 串行信号发送端 DOUTXP/DOUTXN、数据解码输出端 RXD0 - RXD15 以及 RKLSB 端进入高阻态。与此同时, 信号检测电路的功耗将小于 15mW。这种模式下, 如果需要使用 LOS 检测功能, 需要向 GTX_CLK 引脚提供时钟信号。

8.2 直流耦合模式

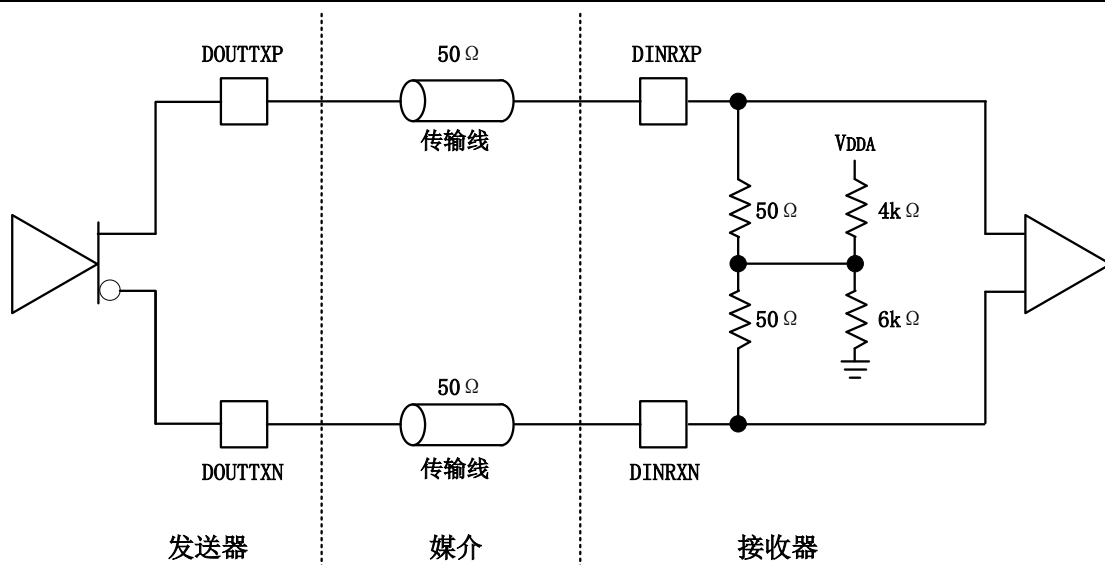


图13 高速直流耦合模式

8.3 交流耦合模式

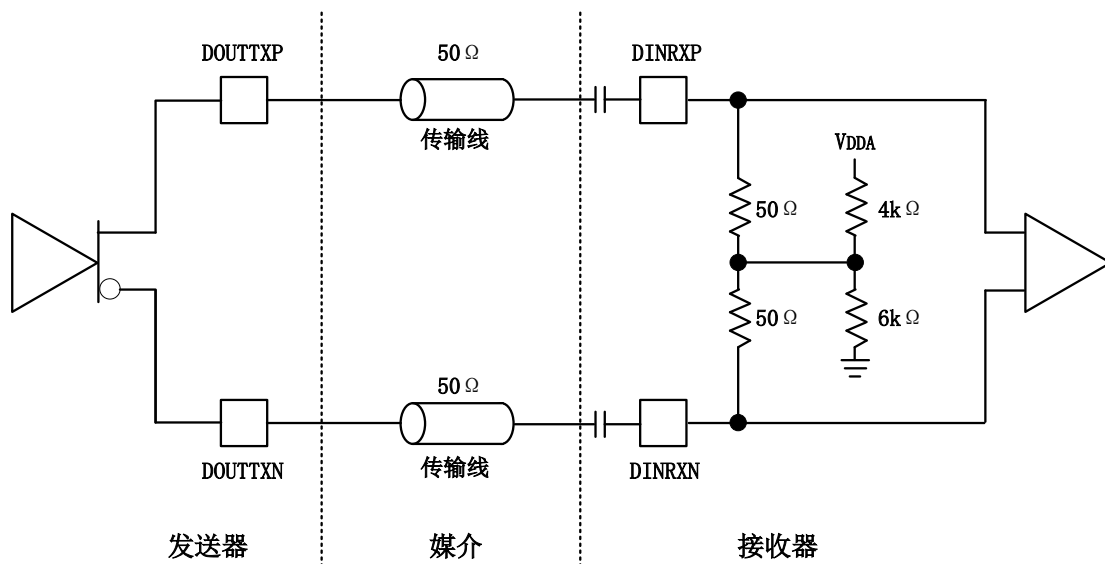


图14 高速交流耦合模式

9. 应用指南

说明

下述应用场景仅供用户参考，并不属于BLK2711MQRH的详细规范内容，对于不同的应用场景，用户需要自行验证系统的功能及可靠性。

9.1 应用方式

BLK2711MQRH的应用方式可分为三种：同时使用发送器和接收器、仅使用发送器或者仅使用接收器。任何情况下发送器都始终处于工作状态，因为需要通过 GTX_CLK 向内部 PLL 输入参考时

钟信号。在只发送模式下，可以把 LCKREFN 引脚拉低以关闭接收器端口。使用只发送模式请具体参见上电复位（POR）部分描述的时序要求。

9.2 典型应用

9.3 外部器件互连

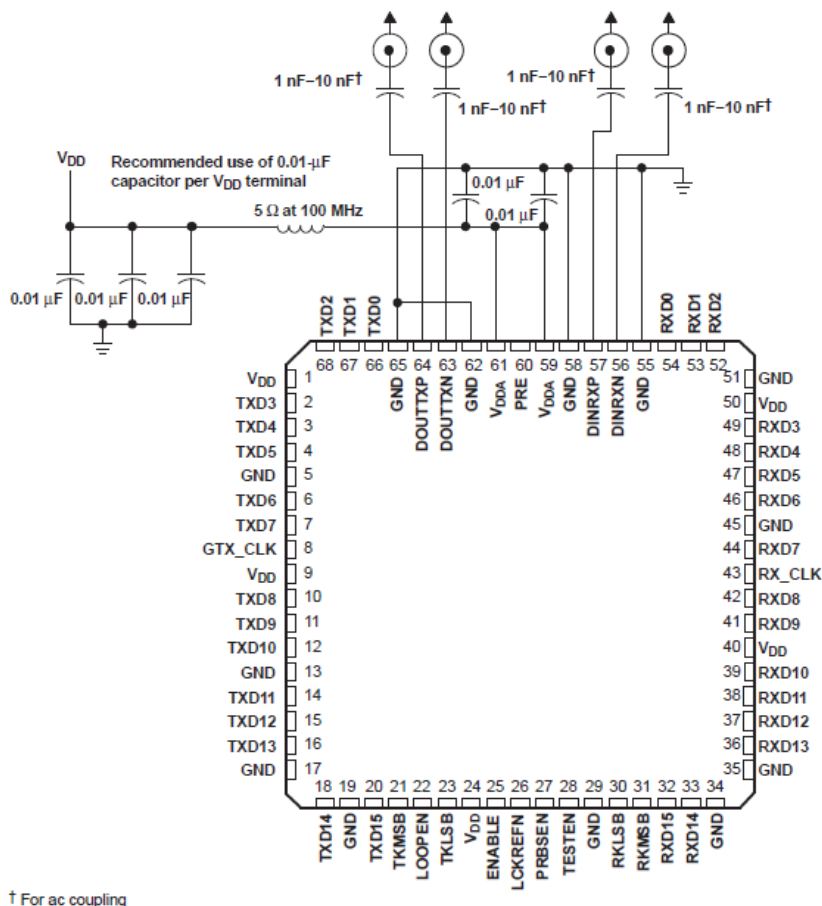


图15 外部器件互连推荐方式

9.4 设计需求

数据手册中列明的输入条件可保证实现误码率低于 $1E-12$ 。其它因素，诸如电源纹波、信号质量及差分端的阻抗匹配等条件也会影响器件的误码率。

9.5 详细设计过程

在具体的应用过程中，需认真考虑系统特点、具体设计及误码率目标等因素。理解这些特性更有助于保证抖动裕量以实现低误码率目标。

9.6 特性曲线

在 $V_{DD} = 2.375\text{ V}$ ，负载 2 mA 时，TTL 输出电平随温度变化的仿真结果如图 16 所示。

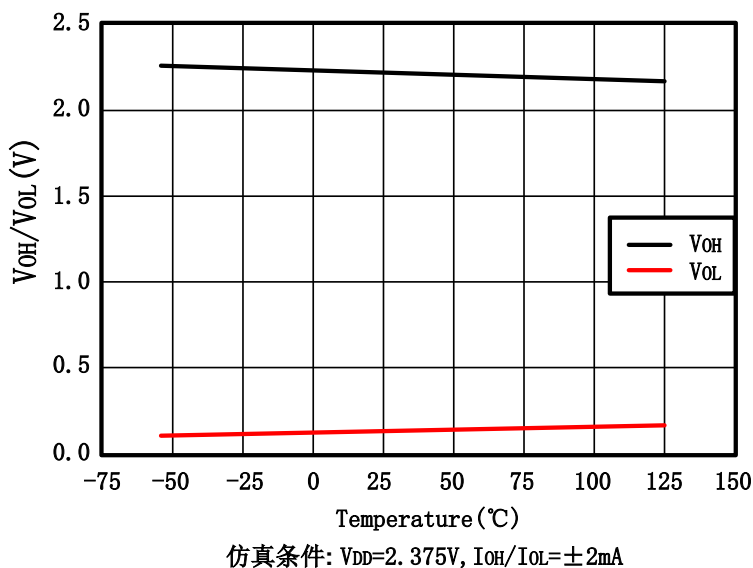


图16 V_{OH}/V_{OL} 随温度的变化曲线

在 $V_{DD} = 2.375\text{ V}$, 差分输出电压 $V_{OD}(p)$ 随温度变化的仿真结果如图 17 所示。 $V_{OD}(1)$ 表示使用了 20% 的预加重幅度; $V_{OD}(0)$ 表示使用了 5% 的预加重幅度。

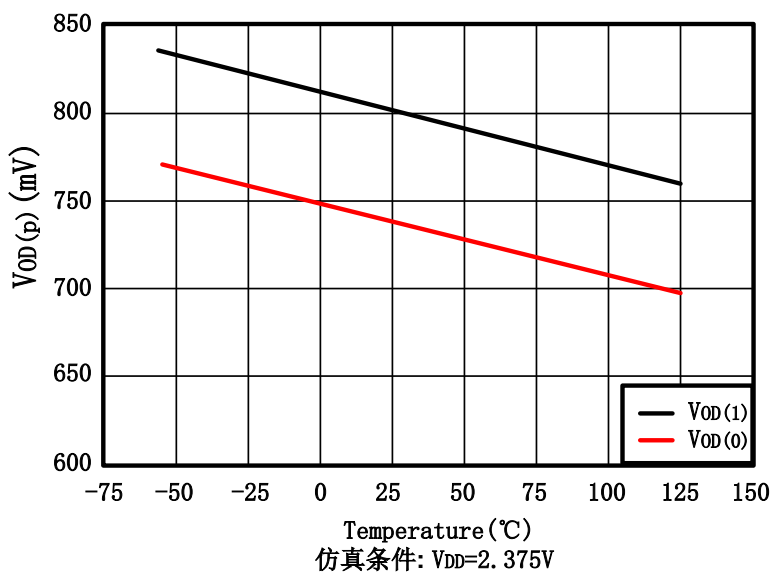


图17 $V_{OD(0)}$, $V_{OD(1)}$ 随温度的变化曲线

10. 推荐供电方式

电源电压必须在推荐工作范围内, 并且电源纹波幅度应该小于 100mV, 大于 100mV 将影响发送数据的抖动和接收器的抖动容限。

V_{DDA} 应该通过 V_{DD} 进行滤波获取, 滤波电路的设置应保证将来自电源和/或系统中其它数字逻辑的噪声且频率位于 PLL 抖动传输特性曲线范围内的部分进行有效滤除, PLL 对 300KHz 到 3MHz 频率范围内的噪声最为敏感。



11. 研制生产单位联系方式

通信地址：北京市丰台区东高地四营门北路 2 号

邮政编码：100076

联系部门：市场二部 电话/传真：010-67968115-6313/010-68757706

FPGA 部 谷羽 电话：010-67968115-8548/13426461565