

Ver 1.2

抗辐射加固 LVDS 并行器

产品使用手册

产品型号：B54LVDS218ARH



北京微电子技术研究所



版本控制页

版本号	发布日期	更改章节	更改说明	备注
1.0	2018.3	——	——	
1.1	2018.7	3.2	更正 PDN 信号有效时的输出端口状态	
		7.1	补充“未使用端口处理”内容	
1.2	2019.4	7.3	修改产品防护章节	
		8.3	删除产品环境试验和可靠性	
		附录 1	增加替代国外产品情况	



目 录

一、产品概述	4
1.1 产品特点	4
1.2 产品用途及应用范围	4
1.3 免责声明	4
二、产品工作条件	5
2.1 绝对最大额定值	5
2.2 推荐工作条件	5
2.3 热特性参数	5
三、封装及引出端说明	6
3.1 引出端排列	6
3.2 引脚信号描述	7
3.3 外形尺寸说明	8
四、产品功能	9
4.1 产品的基本工作原理	9
4.2 芯片工作原理	10
4.3 时序特性	10
五、产品电特性	11
六、典型应用	15
七. 应用注意事项	16
7.1 产品应用说明	16
7.2 对电源的要求和推荐使用电路	17
7.3 产品防护	18
八、用户关注产品信息	19
8.1 产品鉴定信息	19
8.2 产品标识	19
8.3 研制生产单位联系方式	20
附录 1 对应替代国外产品情况	21

一、产品概述

1.1 产品特点

- 支持 15MHz~75MHz 时钟频率输入
- 低功耗
- 所有引出端具有冷备份功能
- 减小总线位数，节省传输线的数量 and 成本
- 最大 1.575Gbps 的数据吞吐率
- 最大 197MB/s 的带宽
- 摆幅 325mV（典型）的 LVDS 信号输入，低 EMI
- 内嵌锁相环不需任何外部元件
- FP48 封装
- 抗静电能力(人体模型): $\geq 2000V$
- 抗电门锁能力: $\geq 200mA$
- 抗总剂量辐射能力: $\geq 100 \text{ krad (Si)}$
- 抗单粒子门锁能力 (LET) $\geq 75 \text{ MeV-cm}^2/\text{mg}$
- 兼容 UT54LVDS218
- 兼容美军标 5962-01535
- 符合 TIA/EIA 644-1996 LVDS 标准



1.2 产品用途及应用范围

B54LVDS218ARH 是一款低功耗、高速的 LVDS 解串器，可实现将 3 路串行 LVDS 输入数据转换为 21 位宽并行 TTL/CMOS 数据输出。配合 B54LVDS217ARH 串行器使用，可有效减少传输线数量，降低成本。电路单片可实现最大 1.575Gbps 数据吞吐率，非常适用于高速图像、视频采集信号的传输。

1.3 免责声明

本手册版权归北京微电子技术研究所所有，并保留一切权利。未经书面许可，任何单位、组织和个人不得将此文档中的任何部分公开、转载或以其他方式散发给第三方，否则将追究

其法律责任。

本手册版本将不定期更新,请在使用本产品之前联系本单位销售部门获取本手册的最新版本。

用户因未严格按本手册要求保存、使用本产品,致使产品工作异常或损坏,造成任何直接或间接损失,本单位不承担任何责任。

除本手册说明之外,请勿接受第三方指导或参考第三方资料对本产品进行操作,用户对本手册有疑问之处请与本单位销售部门联系。

二、产品工作条件

2.1 绝对最大额定值

符号	参数	极限值
V_{DD}	电源电压范围	-0.3V ~ 4.0 V
$V_{I/O}$	输入输出电压	-0.3V ~ ($V_{DD}+0.3V$)
T_{STG}	存储温度范围	-65°C ~ +150°C
P_D	最大功耗	2 W
T_J	最大结温	+150°C
$R_{th(J-C)}$	热阻	10°C/W
I_I	直流输入电流	±10mA

2.2 推荐工作条件

符号	参数	极限值
V_{DD} , PLL V_{DD} , LVDS V_{DD}	电源电压范围	3.0 V ~ 3.6 V
T_C	工作温度范围	-55°C ~ +125°C
V_{IN}	输入电压范围	0V ~2.0V

2.3 热特性参数

符号	参数名称	极限值
$R_{th(J-C)}$	热阻	10°C/W

三、封装及引出端说明

3.1 引出端排列

B54LVDS218ARH 采用 FP48 引脚封装形式，引脚布局如图 3-1 所示。

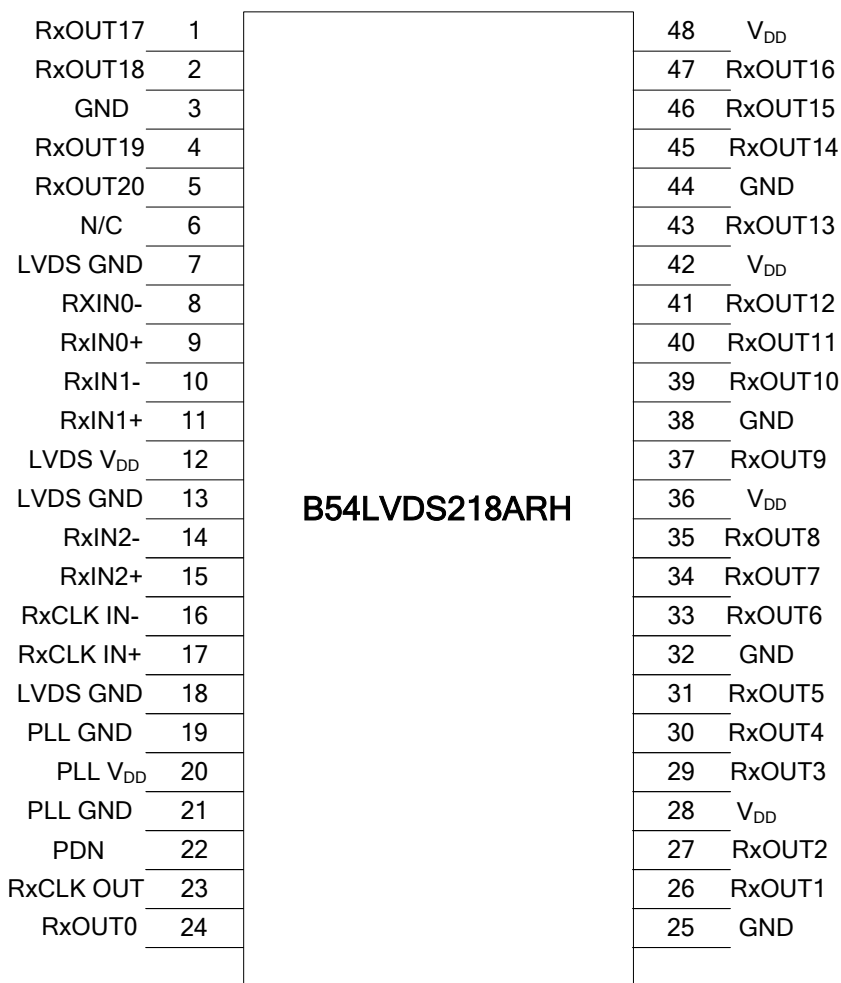


图 3-1 B54LVDS218ARH 引脚排列顺序

表 3-1 B54LVDS218ARH 引脚说明

引出端	符号	类型	功能描述	引出端	符号	类型	功能描述
1	RxOUT17	O	输出数据 17	25	GND	P	数字地
2	RxOUT18	O	输出数据 18	26	RxOUT1	O	输出数据 1
3	GND	P	数字地	27	RxOUT2	O	输出数据 2

4	RxOUT19	O	输出数据 19	28	VDD	P	数字电源
5	RxOUT20	O	输出数据 20	29	RxOUT3	O	输出数据 3
6	NC		—	30	RxOUT4	O	输出数据 4
7	LVDS GND	P	LVDS 地	31	RxOUT5	O	输出数据 5
8	RxIN0-	I	输入数据 0 负端	32	GND	P	数字地
9	RxIN0+	I	输入数据 0 正端	33	RxOUT6	O	输出数据 6
10	RxIN1-	I	输入数据 1 负端	34	RxOUT7	O	输出数据 7
11	RxIN1+	I	输入数据 1 正端	35	RxOUT8	O	输出数据 8
12	LVDS VDD	P	LVDS 电源	36	VDD	P	数字电源
13	LVDS GND	P	LVDS 地	37	RxOUT9	O	输出数据 9
14	RxIN2-	I	输入数据 2 负端	38	GND	P	数字地
15	RxIN2+	I	输入数据 2 正端	39	RxOUT10	O	输出数据 10
16	RxCLK IN-	I	输入时钟负端	40	RxOUT11	O	输出数据 11
17	RxCLK IN+	I	输入时钟正端	41	RxOUT12	O	输出数据 12
18	LVDS GND	P	LVDS 地	42	VDD	P	数字电源
19	PLL GND	P	PLL 地	43	RxOUT13	O	输出数据 13
20	PLL VDD	P	PLL 电源	44	GND	P	数字地
21	PLL GND	P	PLL 地	45	RxOUT14	O	输出数据 14
22	PDN	I	低功耗（低有效）	46	RxOUT15	O	输出数据 15
23	RxCLK OUT	O	输出时钟	47	RxOUT16	O	输出数据 16
24	RxOUT0	O	输出数据 0	48	VDD	P	数字电源

3.2 引脚信号描述

B54LVDS218ARH详细引脚功能描述见表3-2

表3-2 引脚信号描述

引脚符号	类型	功能描述
RxIN+ RxIN-	I	3路高速 LVDS 差分输入数据信号。
RxOUT	O	21 位低速 CMOS/TTL 输出数据信号。
RxCLK IN+ RxCLK IN-	I	LVDS 差分输入时钟信号。
RxCLK OUT	O	CMOS/TTL 时钟信号输出，与 CMOS/TTL 数据信号同步

PDN	I	CMOS/TTL 输入。当为低电平时，时钟和数据端口输出低；当为高电平时，正常传输数据。
VDD	I	数字/TTL 电源输入端。
GND	I	数字/TTL 地输入端。
PLL VDD	I	锁相环电源输入端。
PLL GND	I	锁相环地输入端。
LVDS VDD	I	LVDS 驱动器电源输入端。
LVDS GND	I	LVDS 驱动器地输入端。
NC		没有连接，这些引脚不作任何连接。

3.3 外形尺寸说明

FP48封装示意图如图3-2所示，图中的相关尺寸见表3-3。

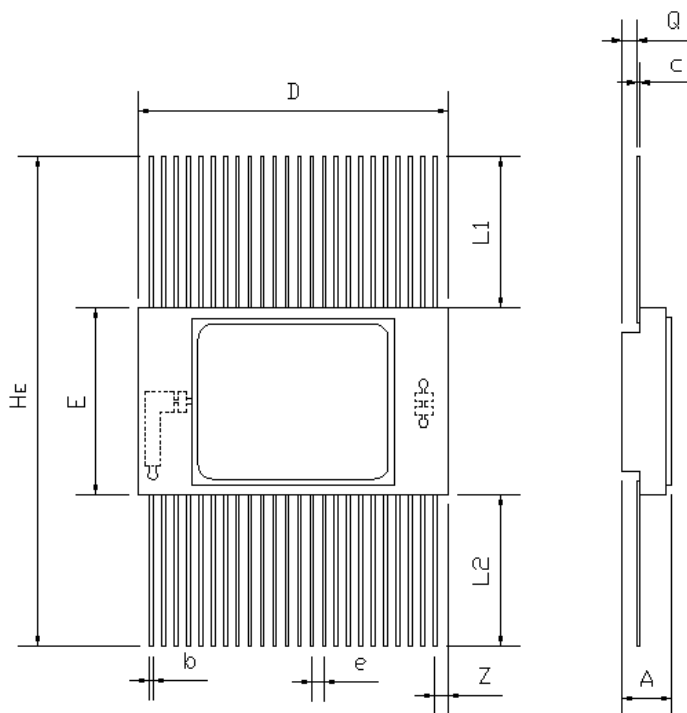


图 3-2 B54LVDS218ARH 管壳图

表 3-3 FP48 封装尺寸说明

单位：毫米

尺寸符号	数 值		
	最 小	公 称	最 大
A	2.01	—	3.08

<i>b</i>	0.20	—	0.51
<i>c</i>	0.07	—	0.22
<i>e</i>	—	0.635	—
<i>D</i>	15.375	—	16.375
<i>E</i>	9.152	—	10.152
<i>L1</i>	1.924	—	8.024
<i>L2</i>	1.924	—	8.024
<i>H_E</i>	12.99	—	25.50
<i>Q</i>	0.13	—	0.55
<i>Z</i>	0.23	—	1.03

四、产品功能

B54LVDS218ARH 是一款抗辐照高速 LVDS 解串器。使用时，须遵守所描述的规则，可获得最佳的性能。

4.1 产品的基本工作原理

BSV2CQRH 电路功能框图如图 4-1 所示：

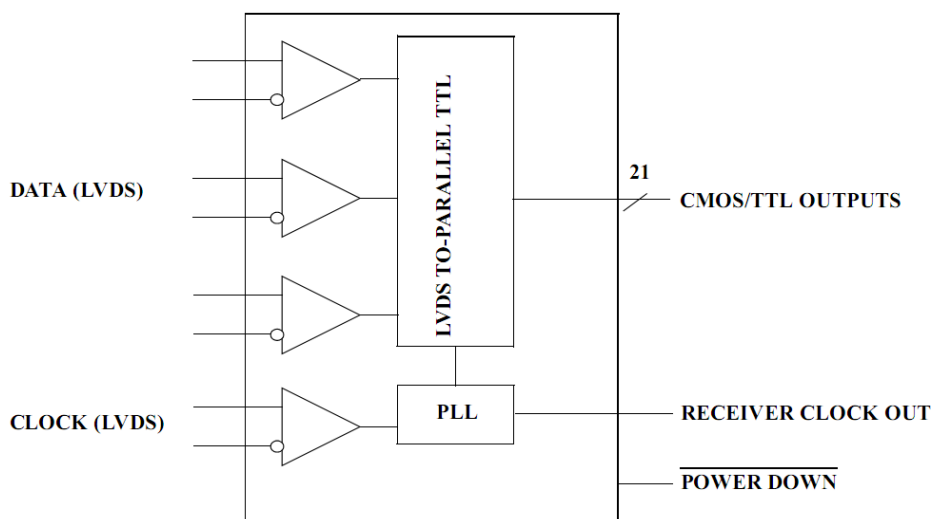


图 4-1 B54LVDS218ARH 电路功能框图

4.2 芯片工作原理

B54LVDS218ARH 是一款低功耗、高速的 LVDS 解串器。其可实现将 3 路 LVDS（低电压差分信号）数据解串成 21 位 CMOS/TTL 数据，同时输出一路与 CMOS/TTL 数据同步的时钟信号，如图 4-1 所示。它通过内嵌宽锁定范围、低抖动性能锁相环提供高速采样时钟完成串并转换。器件可以满足大吞吐率系统要求。

4.3 时序特性

B54LVDS218ARH 输入时钟和 RXIN0-RXIN3 通道输入数据之间时序关系如图 4-2 所示，1 个时钟周期内包括 7 位数据（上拍 2 位+本拍 5 位）。输出时钟和输出数据之间时序关系如图 4-3 所示，输出时钟上升沿处于数据位中间，后续电路可直接采用上升沿采样触发。

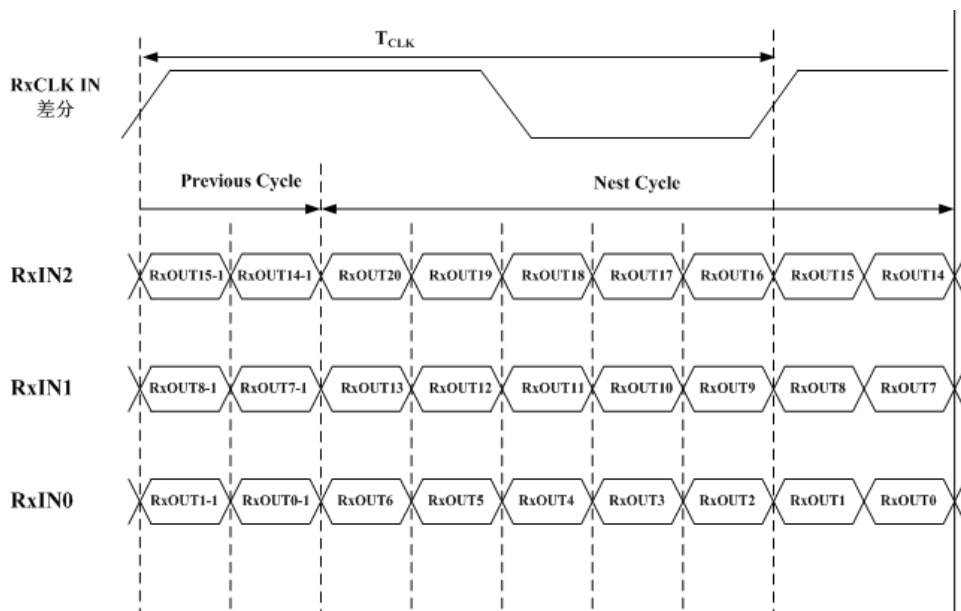


图 4-2 输入时钟和数据信号时序关系

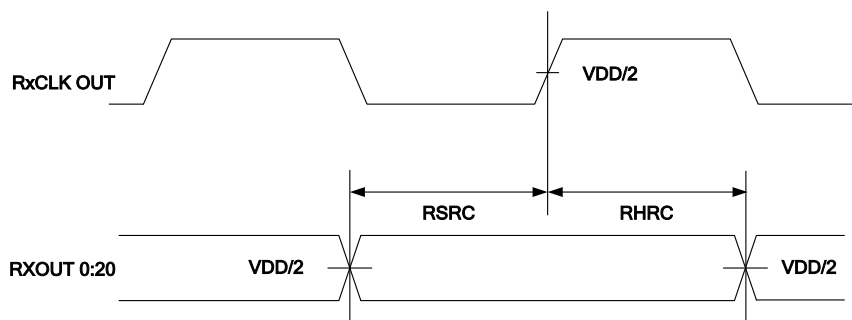


图 4-3 输出时钟和数据信号时序关系

五、产品电特性

参数	符号	条件 ($-55^{\circ}\text{C} \leq T_{\text{C}} \leq 125^{\circ}\text{C}$, 无特 别指出时 $3.0\text{V} \leq V_{\text{DD}} \leq 3.6\text{V}$)	分组	极限值		单位	
				最小	最大		
CMOS/TTL 直流特性 (PDN, RXOUT)							
输入高电平电压	V_{IH}		A1	2.2	V_{DD}	V	
输入低电平电压	V_{IL}			V_{SS}	0.8	V	
输出低电平电压	V_{OL}	$I_{\text{OL}}=2\text{mA}$			0.3	V	
输出高电平电压	V_{OH}	$I_{\text{OL}}=-0.4\text{mA}$			2.7	V	
高电平输入电流	I_{IH}	$V_{\text{IN}}=3.6\text{V}, V_{\text{DD}}=3.6\text{V}$			-10	+10	μA
低电平输入电流	I_{IL}	$V_{\text{IN}}=0\text{V}, V_{\text{DD}}=3.6\text{V}$			-10	+10	μA
输入钳位电压	V_{CL}	$I_{\text{CL}}=-18\text{mA}$			-1.5		V
输出冷备份电流	I_{CSOUT}	$V_{\text{OUT}}=3.6\text{V}, V_{\text{DD}}=V_{\text{SS}}$			-20	+20	μA
输出短路电流	I_{OS}	$V_{\text{OUT}}=0$			-15	-130	mA
LVDS 接收器直流特性 (IN+, IN-)							
差分输入高阈值	V_{TH}	$V_{\text{CM}}=1.2\text{V}$	A2		+100	mV	
差分输入低阈值	V_{TL}	$V_{\text{CM}}=1.2\text{V}$	A3	-100		mV	
共模电压范围	V_{CMR}	$V_{\text{ID}}=210\text{mV}$		0.2	2.00	V	
输入电流	I_{IN}	$V_{\text{IN}}=2.0\text{V}, V_{\text{DD}}=3.6\text{V}$		-10	+10	μA	
		$V_{\text{IN}}=0\text{V}, V_{\text{DD}}=3.6\text{V}$		-10	+10	μA	
输入冷备份电流	I_{CSIN}	$V_{\text{IN}}=3.6\text{V}, V_{\text{DD}}=V_{\text{SS}}$		-20	+20	μA	
动态电源电流	I_{CC}	$f=75\text{MHz}, V_{\text{DD}}=3.6\text{V}$ 图 5-1			105	mA	
低功耗模式电流	I_{CCPD}	PDN=Low, LVDS inputs=logic low, $V_{\text{DD}}=3.6\text{V}$			2.0	mA	
接收器交流特性							
工作频率	f		A7 A8A A8B	15	75	MHz	
CMOS/TTL 低到高时间	CLHT	图 5-2	A9		3.5	ns	
CMOS/TTL 高到低时间	CHLT	图 5-2	A10		3.5	ns	
第 0 位输入的选通位置 ^b	RSPOS0	$f=75\text{MHz}$,	A11	0.58	1.32	ns	

参数	符号	条件 ($-55^{\circ}\text{C} \leq T_c \leq 125^{\circ}\text{C}$, 无特别指出时 $3.0\text{V} \leq V_{DD} \leq 3.6\text{V}$)	分组	极限值		单位
				最小	最大	
第 1 位输入的选通位置 ^b	RSPOS1	图 5-7		2.48	3.22	ns
第 2 位输入的选通位置 ^b	RSPOS2			4.39	5.13	ns
第 3 位输入的选通位置 ^b	RSPOS3			6.29	7.03	ns
第 4 位输入的选通位置 ^b	RSPOS4			8.2	8.94	ns
第 5 位输入的选通位置 ^b	RSPOS5			10.1	10.84	ns
第 6 位输入的选通位置 ^b	RSPOS6			12.0	12.74	ns
输出时钟周期 ^c	RCOP	图 5-3		13.3	66.7	ns
输出时钟高电平时间	RCOH	$f=75\text{MHz}$, 图 5-3		3.6		ns
输出时钟低电平时间	RCOL	$f=75\text{MHz}$, 图 5-3		3.6		ns
输出建立时间	RSRC	$f=75\text{MHz}$, 图 5-3		3.5		ns
输出保持时间	RHRC	$f=75\text{MHz}$, 图 5-3		3.5		ns
输入输出时钟延时	RCCD	$f=75\text{MHz}$, 图 5-6		3.4	10	ns
锁相环建立时间	RRLLS	图 5-4			10	ms
低功耗模式延时	RPDD	图 5-5		2	μs	

注: a: 定义流入器件管脚的电流为正向, 流出管脚的电流为负。所有电压值均为对地电压。
 b: 通过图 5-8 所示测试方法反映 RSPOS_n 参数。
 c: 特征分析保证。

典型特性参数示意图

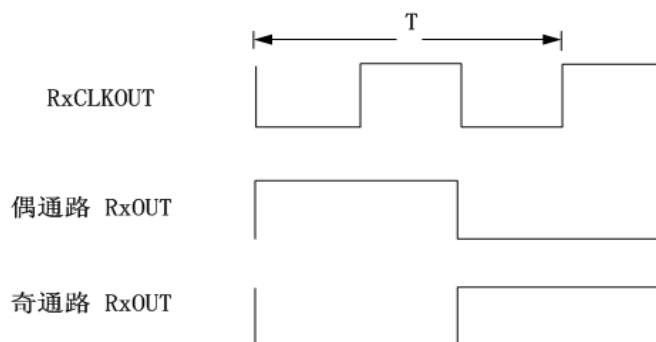


图 5-1 B54LVDS218ARH 功耗测试码型

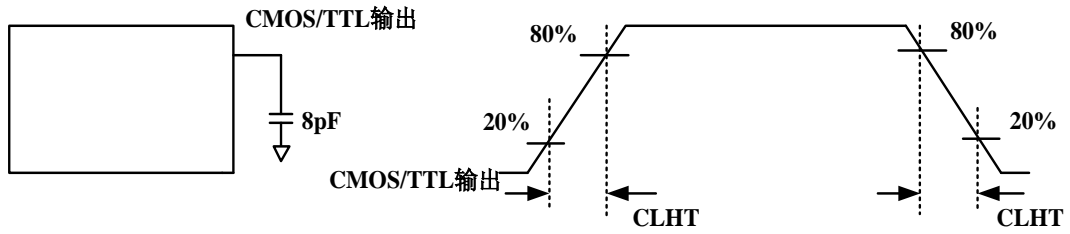


图 5-2 CMOS 输出负载及转换时间

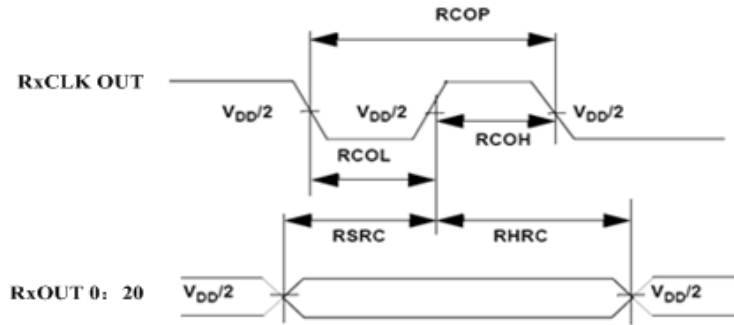


图 5-3 CMOS/TTL 输出信号建立/保持和高电平时间

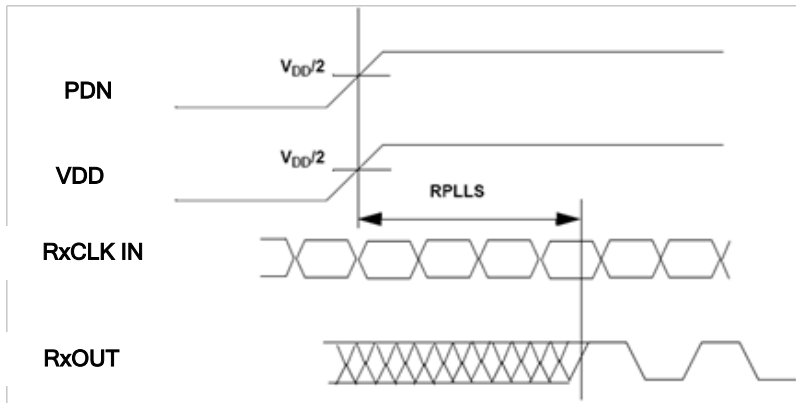


图 5-4 锁相环建立时间

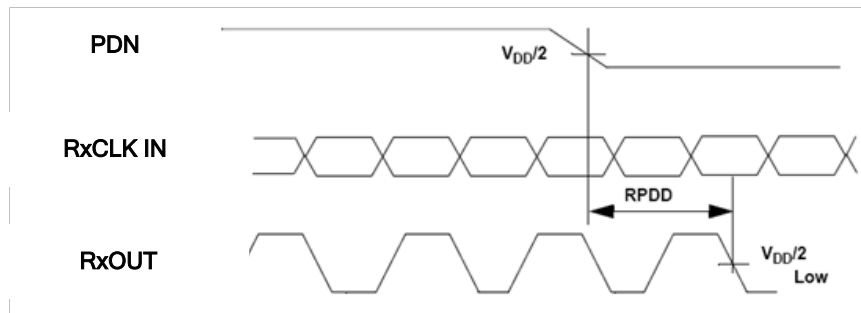


图 5-5 低功耗模式延迟

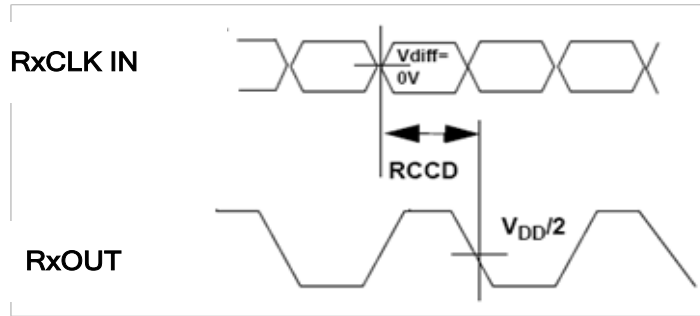


图 5-6 LVDS 输入时钟和 CMOS/TTL 输出时钟延迟

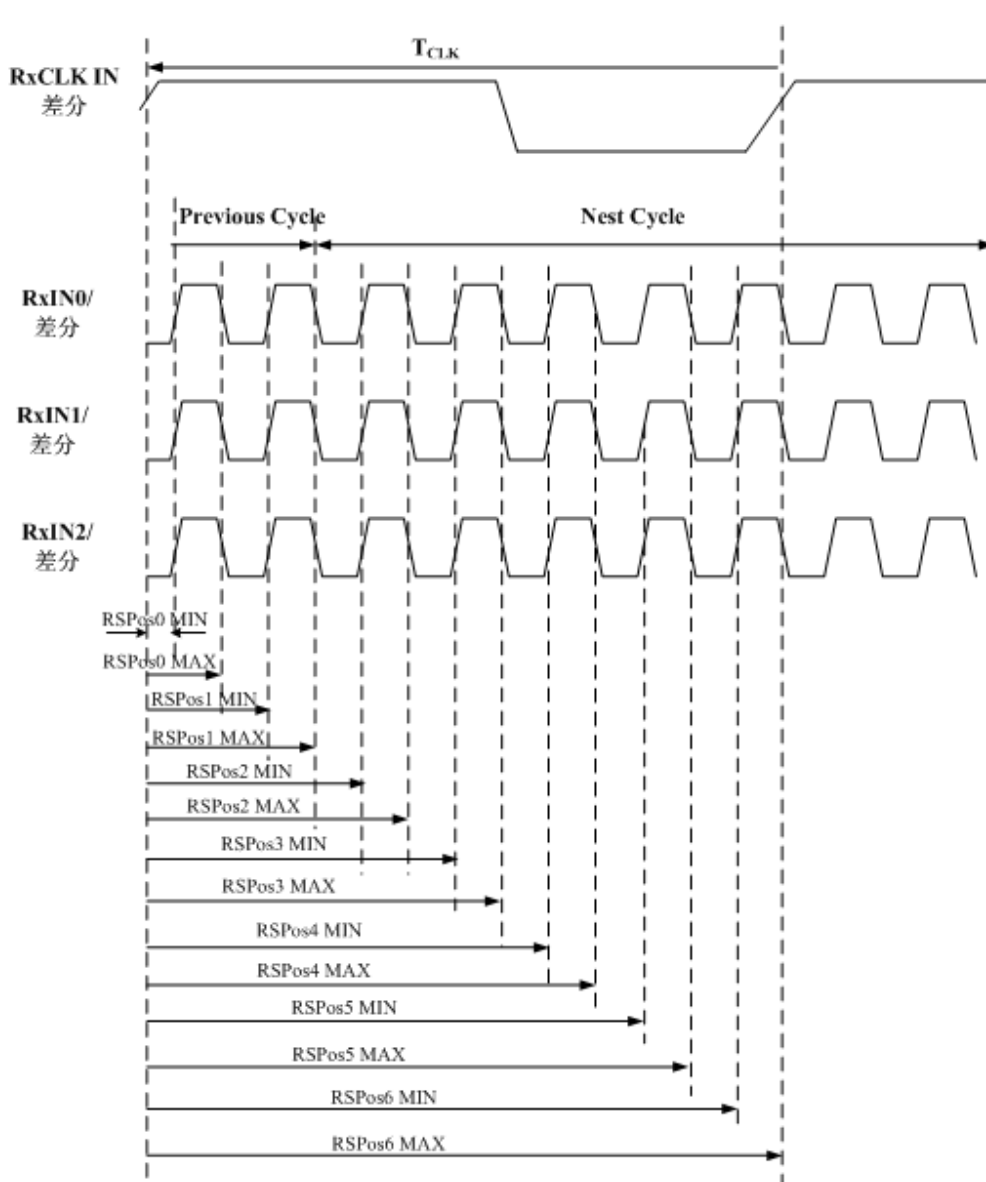


图 5-7 LVDS 输出时钟和数据时序关系

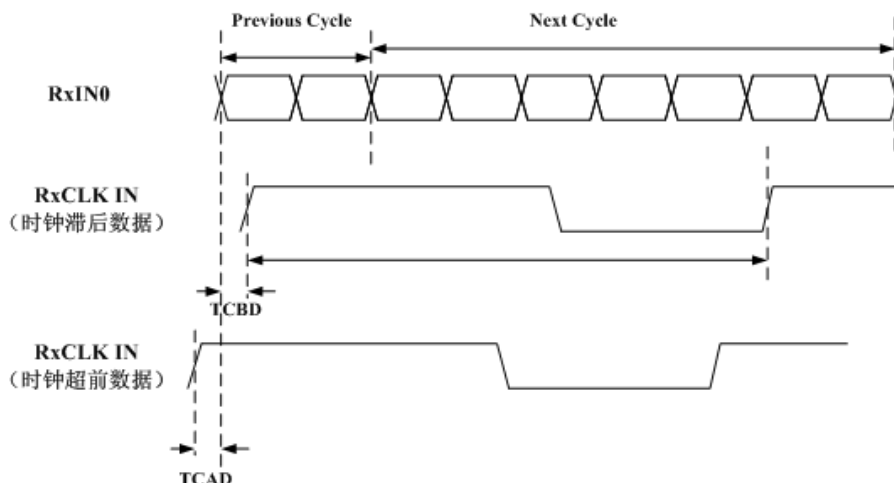


图 5-8 RSPosn 参数等效测试中时钟和数据时序关系

六、典型应用

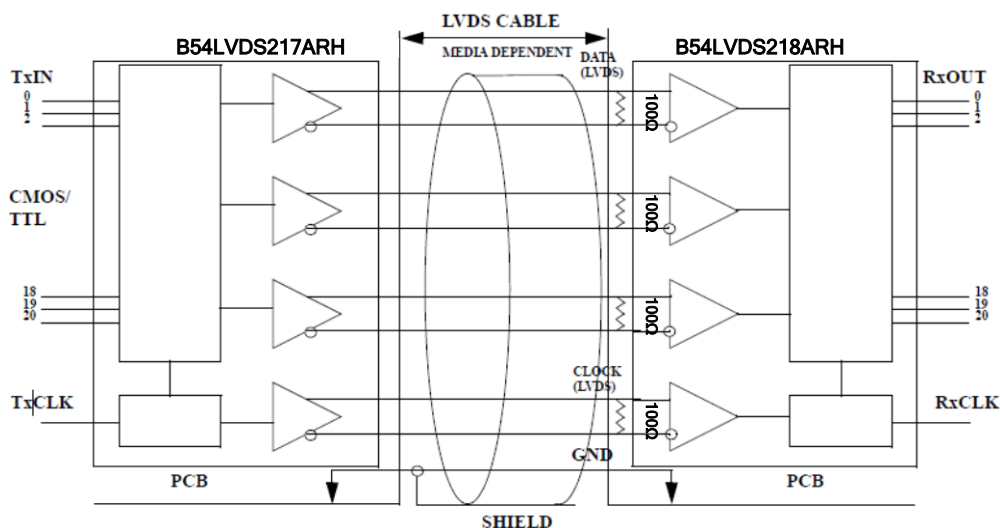


图 6-1 B54LVDS218ARH 典型应用

B54LVDS218ARH 作为一款低功耗、高速的 LVDS 解串器，可实现将 3 路串行 LVDS 输入数据转换为 21 位宽并行 TTL/CMOS 数据输出。配合 B54LVDS217ARH 串行器使用，可实现最大 1.575Gbps 数据吞吐率，非常适用于高速图像、视频采集信号的传输。

B54LVDS218ARH 型 LVDS 并行器通常应用于如图 6-1 所示的简单点对点的传输结构，发送和接收器件具有一致地电位。对于高速（边沿速率）信号，这种点对点连接有清晰的路径，可以提供最佳的信号质量。接收器与驱动器通过平衡介质进行连接，平衡介质如标准双绞线，并行同轴电缆或者 PCB 走线。通常，介质的特征阻抗为 100Ω。使用时需要一个与



介质差分阻抗相匹配的 100Ω 终端电阻，并且终端电阻应布放在尽量靠近接收器输入端处。终端电阻将驱动电流转换为接收器的输入电压。

七. 应用注意事项

7.1 产品应用说明

➤ 线缆

发送器和接收器之间通过 LVDS 端口传输差分数据和时钟。需要 4 对差分信号线进行互连，传输线可采用双绞线、同轴电缆等进行传输。为减小信号反射对信号完整性的影响，传输线缆需保证差分 100Ω 特征阻抗且阻抗连续。在高速以及长距离传输使用下，建议不同线缆之间延迟偏差小于 100ps （特别是工作时钟频率 $\geq 60\text{MHz}$ 时），保证接收器内部具有充足的采样裕度。

➤ PCB 布局

电路板布局与层叠结构设计需要为器件提供低噪电源。电路板设计需要隔离高频高压输入输出引脚、减少不需要的噪声接收、反馈和干扰。层叠结构最少四层板，以四层板为例（顶层到底层），信号布局为 LVDS 信号、GND、VCC(PLL VDD/LVDS VDD/VDD)与 TTL/CMOS 信号。因 PLL 模块对电源噪声敏感，建议为 PLL 划分单独的电源区域，地平面不需要进行单独划分。在电源层与地层之间使用薄的绝缘介质，增强 PCB 电源系统的本征电容，改善电源滤波。建议在 PCB 的最外层敷上地平面，改善电源平面系统的屏蔽和隔离。

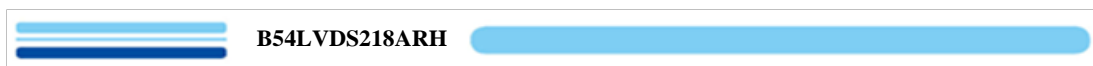
为减小噪声串扰以及 EMI 影响，差分正负信号线之间要尽量靠近。同时 4 对 LVDS 差分信号 PCB 布线必须要做等长处理且尽量短。高速使用下，为保证阻抗连续性，应尽量减少接触孔的使用数量，避免采用 90 度绕线方式。

➤ 终端电阻

B54LVDS218ARH 电路不支持 AC 耦合工作模式。使用时，需在 B54LVDS218ARH 电路每一对差分输入管脚之间跨接典型值为 100Ω 的电阻，终端电阻要尽量靠近电路差分输入端口，用于减小信号反射，实际偏差范围为 $90\text{-}120\Omega$ 。PCB 布线特征阻抗、传输线特征阻抗以及终端电阻需保持连续且一致。

➤ 未使用端口处理

接收器中 LVDS 输入数据通道未使用或间歇式使用时，其差分正、负端口需要分别通过



上拉电阻接到电源，建议选取 10K-100KΩ 范围内电阻值。此时，可保证对应的 CMOS/TTL 数据输出端口为高状态。

➤ 电源端去耦电容

使用时，为减小开关噪声影响，需要在电路各电源管脚近端添加去耦电容。外部电源旁路电容尽量选择射频陶瓷和钽电解质类型，建议每个电源管脚处均并联使用表贴高频陶瓷 0.1μF、0.01μF 以及 0.001μF 的去耦电容。如果因板级面积受限，优先考虑 PLL 电源的去耦电容，其次是 LVDS 电源，最后是数字电源。另外需要一个 10μF（35V）或者更大的固态钽电容连接在 PCB 板的电源入口处。

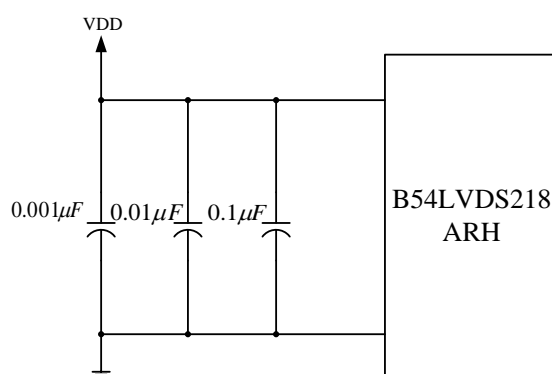


图 7-1 电源去耦电容示意图

➤ 输入时钟要求

链路中 B54LVDS218ARH 内部 PLL 对输入时钟进行倍频，输入时钟频率为输入数据速率的 1/7。差分偏移、通道间偏移以及输入时钟抖动均会减小接收器内部采样裕量。B54LVDS218ARH 内部 PLL 的低通特性可滤除环路带宽外的高频抖动成分，因此，电路对输入时钟中的低频抖动非常敏感。特别是采用 DC-DC 供电时，通常开关频率处于低通频带内，此时需尽量减小开关产生的电源纹波，可增大 B54LVDS218ARH 内部采样裕量，减轻系统设计压力。为保证 B54LVDS218ARH 内部采样裕量，输入时钟信号的周期抖动峰峰值需满足小于 300ps。

7.2 对电源的要求和推荐使用电路

必须注意 B54LVDS218ARH 器件的上电次序，通常原则是：首先加电源，再加信号。电源上电时间应大于 10us。



7.3 产品防护

7.3.1 电装及防护措施

器件应采取防静电措施进行操作。推荐下列操作措施：

- a) 器件应在防静电的工作台上操作；
- b) 试验设备和器具应接地；
- c) 不能直接用手触摸器件引线，应佩戴防静电指套和腕带；
- d) 器件应存放在防静电材料制成的容器中；
- e) 生产、测试、使用及流转过程工作区域内应避免使用能引起静电的塑料、橡胶或丝织物；
- f) 相对湿度应尽可能保持在 30%~70%。

7.3.2 包装

器件包装应至少满足以下要求：

- a) 由无腐蚀的材料制成；
- b) 具有足够的强度，能够经得起搬运过程中的震动和冲击；
- c) 用抗静电材料涂敷过或浸渍过，具备足够的抗静电能力；
- d) 能够牢固的把所装器件支撑在一定的位罝；
- e) 能保持器件引线不发生变形；
- f) 没有锋利的棱角；
- g) 能安全容易的移动、检查和替换器件；
- h) 一般不使用聚氯乙稀、氯丁橡胶、乙烯树脂和聚硫化物等材料，也不允许使用有硫、盐、酸、碱等腐蚀成分的材料，使用具有低放气指数、低尘粒脱落的材料制造为宜。

7.3.3 运输和贮存

器件在运输和贮存过程中，至少应满足以下要求：

- a) 运输：在避免雨、雪直接影响的条件下，装有产品的包装箱可以用任何运输工具运输。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。
- b) 贮存：包装好的产品应贮存在环境温度为 16℃~28℃，相对湿度不大于 30%~70%，周围没有酸、碱或其它腐蚀性气体且通风良好的库房里。

八、用户关注产品信息

8.1 产品鉴定信息

表 8-1 B54LVDS218ARH 鉴定信息

鉴定产品批次		1712
鉴定执行标准	总规范名称及编号	半导体集成电路总规范 (GJB 597B-2012)
	详细规范名称及编号	半导体集成电路 B54LVDS218ARH 型辐射加固 LVDS 串行器(Q/Zt 20531-2017)
	附加技术条件	—
	质量等级	CC
鉴定情况	鉴定试验日期	2017. 09. 01-2017. 10. 27
	鉴定试验机构	北京微电子技术研究所
	鉴定报告编号	17-053

8.2 产品标识

B54LVDS218ARH 电路产品标识示意图见图 8-1。

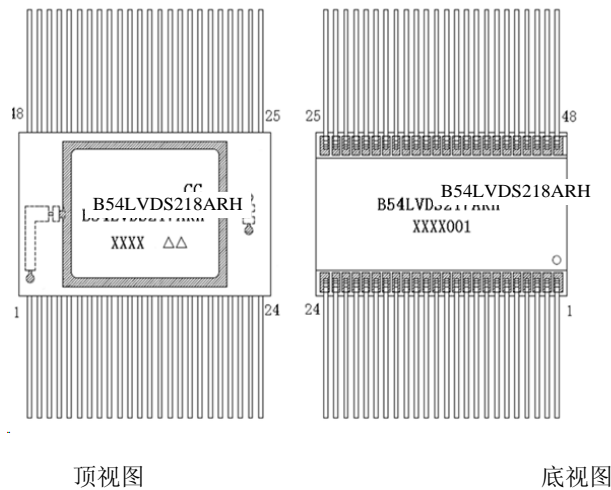


图8-1 标志示意图



8.3 研制生产单位联系方式

地 址：北京市丰台区东高地四营门北路2号

邮政编码：100076

联系部门：市场二部 电话/传真：010-67968115-6313/010-68757706

 抗加中心 时飞 电话：010-67968115-8030/13426116314



附录1对应替代国外产品情况

替代国外型号： UT54LVDS218		国外生产商： NS公司	
对比项	国内产品	国外产品	差异性、兼容性分析
输入时钟频率范围	15MHz~75MHz	15MHz~75MHz	一致
单片最大数据吞吐量	1.575Gbps	1.575Gbps	一致
全端口冷备份功能	具备	具备	一致
LVDS 输入端 fail-safe 功能	基本具备	具备	不一致 ¹
电源电压 (PLL/LVDS/VDD)	3.0V~3.6V	3.0V~3.6V	一致
工作温度范围	-55℃~125℃	-55℃~125℃	一致
带载总电流	≤105mA	≤105mA	一致
低功耗模式电流	≤2mA	≤2mA	一致
输出高电平电压	≥2.0V	≥2.0V	一致
输出低电平电压	≤0.8V	≤0.8V	一致
LVDS 输入差模电压阈值	≥100mV	≥100mV	一致
LVDS 输入共模电压范围	0.2V~2V	0.2V~2V	一致
输入时钟到输出时钟的传播延迟	3.4ns~10ns	3.4ns~8.3ns	不一致
抗静电能力(人体模型)	≥2KV	/	/
抗电门锁电流	≥200mA	/	/
抗总剂量指标	100Krad (Si)	300Krad (Si)	不一致
抗单粒子门锁阈值	≥75MeV·cm ² /mg	≥100MeV·cm ² /mg	不一致(鉴定试验 ≥99.8MeV·cm ² /mg)
1. 如有 fail-safe 使用需求时,国内产品需在 LVDS 输入数据 P/N 端分别配置上拉电阻到电源,上拉电阻介于 10K~100K 之间。			