

Ver 1.1

## 抗辐射加固 LVDS 串行器

# 产品使用手册

产品型号：B54LVDS217ARH



北京微电子技术研究所



### 版本控制页

版本号	发布日期	更改章节	更改说明	备注
1.0	201803	——	——	
1.1	201904	7.3	修改产品防护	
		8.3	删除产品环境试验和可靠性	
		附录 1	增加替代国外产品情况	



## 目 录

一、产品概述 .....	4
1.1 产品特点 .....	4
1.2 产品用途及应用范围 .....	4
1.3 免责声明 .....	4
二、产品工作条件 .....	5
2.1 绝对最大额定值 .....	5
2.2 推荐工作条件 .....	5
2.3 热特性参数 .....	5
三、封装及引出端说明 .....	6
3.1 引出端排列 .....	6
3.2 引脚信号描述 .....	7
3.3 外形尺寸说明 .....	8
四、产品功能 .....	9
4.1 产品的基本工作原理 .....	9
4.2 芯片工作原理 .....	10
4.3 时序特性 .....	10
五、产品电特性 .....	11
六、典型应用 .....	16
七. 应用注意事项 .....	16
7.1 产品应用说明 .....	16
7.2 对电源的要求和推荐使用电路 .....	18
7.3 产品防护 .....	18
八、用户关注产品信息 .....	20
8.1 产品鉴定信息 .....	20
8.2 产品标识 .....	20
8.3 研制生产单位联系方式 .....	21
附录 1 对应替代国外产品情况 .....	22

## 一、产品概述

### 1.1 产品特点

- 支持 15MHz~75MHz 时钟频率输入
- 低功耗
- 待机模式功耗小于 216 $\mu$ W
- 所有引出端具有冷备份功能
- 减小总线位数，节省传输线的数量和成本
- 最大 1.575Gbps 的数据吞吐率
- 最大 197MB/s 的带宽
- 摆幅 325mV（典型）的 LVDS 信号输出，低 EMI
- 内嵌锁相环不需任何外部元件
- FP48 封装
- 抗静电能力(人体模型):  $\geq 2000V$
- 抗电门锁能力:  $\geq 200mA$
- 抗总剂量辐射能力:  $\geq 100$  krad (Si)
- 抗单粒子门锁能力 (LET)  $\geq 75MeV\cdot cm^2/mg$
- 兼容 UT54LVDS217
- 兼容美军标 5962-01534
- 符合 TIA/EIA 644-1996 LVDS 标准



### 1.2 产品用途及应用范围

B54LVDS217ARH 是一款低功耗、高速的 LVDS 串行器，可实现将 21 位宽并行 TTL/CMOS 数据转换为 3 路串行 LVDS 数据输出。配合 B54LVDS218ARH 解串器使用，可有效减少传输线数量，降低成本。电路单片可实现最大 1.575Gbps 数据吞吐率，非常适用于高速图像、视频采集信号的传输。

### 1.3 免责声明

本手册版权归北京微电子技术研究所所有，并保留一切权利。未经书面许可，任何单位、组织和个人不得将此文档中的任何部分公开、转载或以其他方式散发给第三方，否则将追究



其法律责任。

本手册版本将不定期更新，请在使用本产品之前联系本单位销售部门获取本手册的最新版本。

用户因未严格按本手册要求保存、使用本产品，致使产品工作异常或损坏，造成任何直接或间接损失，本单位不承担任何责任。

除本手册说明之外，请勿接受第三方指导或参考第三方资料对本产品进行操作，用户对本手册有疑问之处请与本单位销售部门联系。

## 二、产品工作条件

### 2.1 绝对最大额定值

符号	参数名称	极限值
$V_{DD}$	电源电压范围	-0.3V ~ 4.0 V
$V_{IO}$	输入输出电压	-0.3V ~ ( $V_{DD}+0.3V$ )
$T_{STG}$	存储温度范围	-65°C ~ +150°C
$P_D$	功率耗散	2 W
$T_J$	结温	+150°C
$I_I$	直流输入电流	±10mA

### 2.2 推荐工作条件

符号	参数名称	极限值
$V_{DD}, PLL V_{DD}, LVDS V_{DD}$	电源电压范围	3.0 V ~ 3.6 V
$T_C$	工作温度范围	-55°C ~ +125°C
$V_{IN}$	输入电压范围	0V ~ $V_{DD}$

### 2.3 热特性参数

符号	参数名称	极限值
$R_{th(J-C)}$	热阻	10°C/W

### 三、封装及引出端说明

#### 3.1 引出端排列

B54LVDS217ARH 采用 FP48 引脚封装形式，引脚布局如图 3-1 所示。

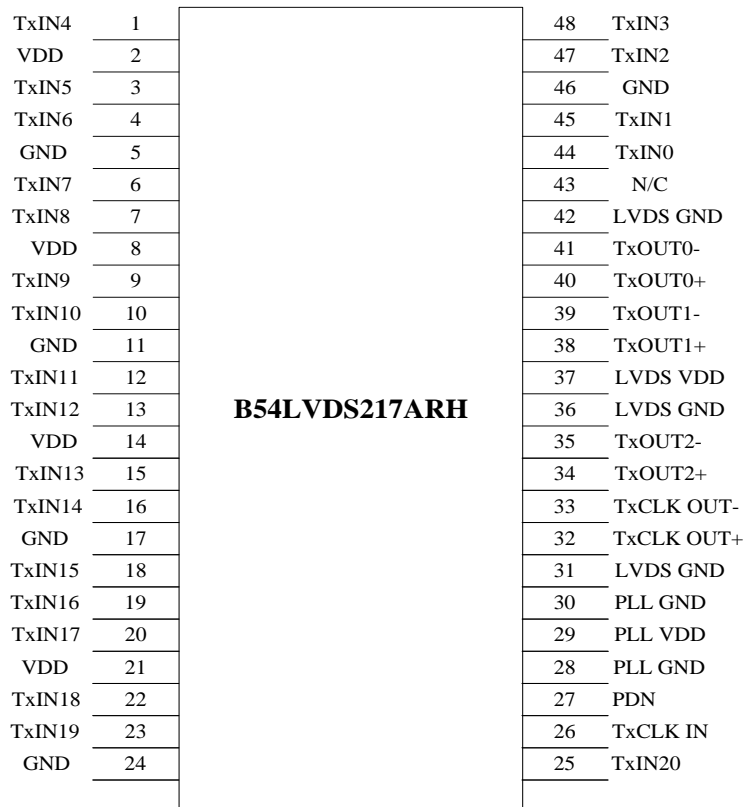


图 3-1 B54LVDS217ARH 引脚排列顺序

表 3-1 B54LVDS217ARH 引脚说明

引出端序号	符号	管脚类别	功能说明	引出端序号	符号	管脚类别	功能说明
1	TxIN4	I	输入数据 4	25	TxIN20	I	输入数据 20
2	VDD	P	数字电源	26	CLK_IN	I	输入时钟
3	TxIN5	I	输入数据 5	27	PDN	I	低功耗（低有效）
4	TxIN6	I	输入数据 6	28	PLL GND	P	PLL 地
5	GND	P	数字地	29	PLL VDD	P	PLL 电源
6	TxIN7	I	输入数据 7	30	PLL GND	P	PLL 地



7	TxIN8	I	输入数据 8	31	LVDS GND	P	LVDS 地
8	VDD	P	数字电源	32	CLK_OUT+	O	输出时钟正端
9	TxIN9	I	输入数据 9	33	CLK_OUT-	O	输出时钟负端
10	TxIN10	I	输入数据 10	34	TxOUT2+	O	输出数据 2 正端
11	GND	P	数字地	35	TxOUT2-	O	输出数据 2 负端
12	TxIN11	I	输入数据 11	36	LVDS GND	P	LVDS 地
13	TxIN12	I	输入数据 12	37	LVDS VDD	P	LVDS 电源
14	VDD	P	数字电源	38	TxOUT1+	O	输出数据 1 正端
15	TxIN13	I	输入数据 13	39	TxOUT1-	O	输出数据 1 负端
16	TxIN14	I	输入数据 14	40	TxOUT0+	O	输出数据 0 正端
17	GND	P	数字地	41	TxOUT0-	O	输出数据 0 负端
18	TxIN15	I	输入数据 15	42	LVDS GND	P	LVDS 地
19	TxIN16	I	输入数据 16	43	NC		无连接
20	TxIN17	I	输入数据 17	44	TxIN0	I	输入数据 0
21	VDD	P	数字电源	45	TxIN1	I	输入数据 1
22	TxIN18	I	输入数据 18	46	GND	P	数字地
23	TxIN19	I	输入数据 19	47	TxIN2	I	输入数据 2
24	GND	P	数字地	48	TxIN3	I	输入数据 3

### 3.2 引脚信号描述

B54LVDS217ARH详细引脚功能描述见表3-2

表3-2 引脚信号描述

引脚符号	类型	功能描述
TxIN	I	21 位低速 CMOS/TTL 输入数据信号。
TxOUT+ TxOUT-	O	3 路高速 LVDS 差分输出数据信号。
TxCLK IN	I	CMOS/TTL 时钟输入，上升沿采样数据。
TxCLK OUT+ TxCLK OUT-	O	同步 LVDS 差分输出时钟信号，每个时钟周期传输 21 位数据信号。
PDN	I	CMOS/TTL 输入。当为低电平时，输出时钟和数据端口为高阻态；当为高电平时，正常传输数据。
VDD	I	数字/TTL 电源输入端。

GND	I	数字/TTL 地输入端。
PLL VDD	I	锁相环电源输入端。
PLL GND	I	锁相环地输入端。
LVDS VDD	I	LVDS 驱动器电源输入端。
LVDS GND	I	LVDS 驱动器地输入端。
NC		没有连接，这些引脚不作任何连接。

### 3.3 外形尺寸说明

FP48 封装示意图如图 3-2 所示，图中的相关尺寸见表 3-3。

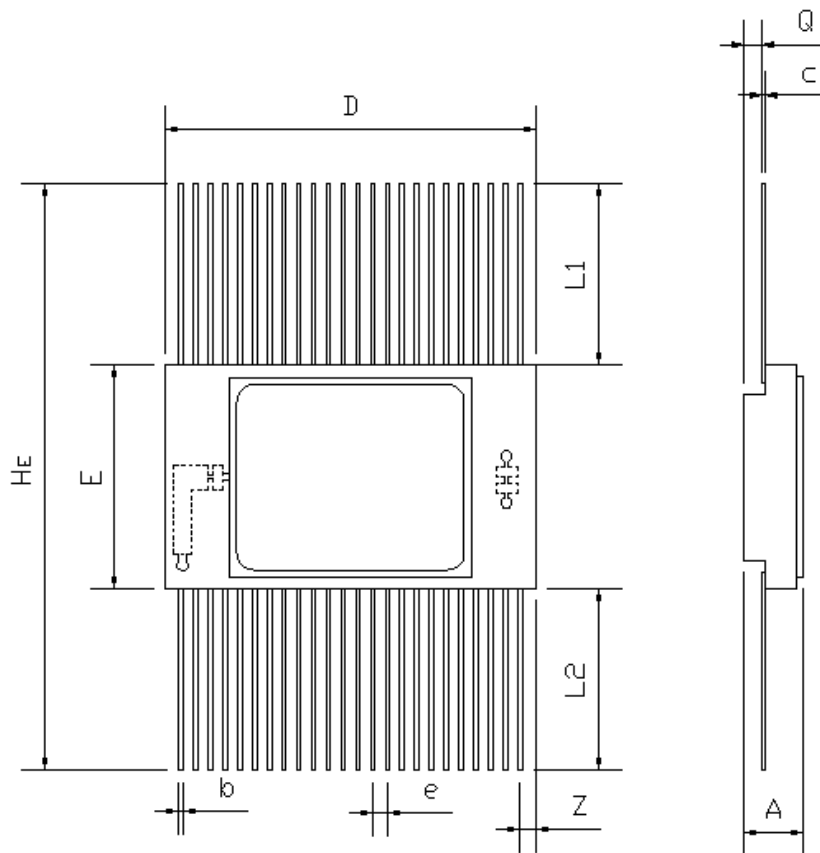


图 3-2 B54LVDS217ARH 管壳图

表 3-3 FP48 封装尺寸说明

单位：毫米

尺寸符号	数 值		
	最 小	公 称	最 大
A	2.01	—	3.08
b	0.20	—	0.51



$c$	0.07	—	0.22
$e$	—	0.635	—
$D$	15.375	—	16.375
$E$	9.152	—	10.152
$L1$	1.924	—	8.024
$L2$	1.924	—	8.024
$H_E$	12.99	—	25.50
$Q$	0.13	—	0.55
$Z$	0.23	—	1.03

## 四、产品功能

B54LVDS217ARH 是一款抗辐照高速 LVDS 串行器。使用时，须遵守所描述的规则，可获得最佳的性能。

### 4.1 产品的基本工作原理

B54LVDS217ARH 电路功能框图如图 4-1 所示：

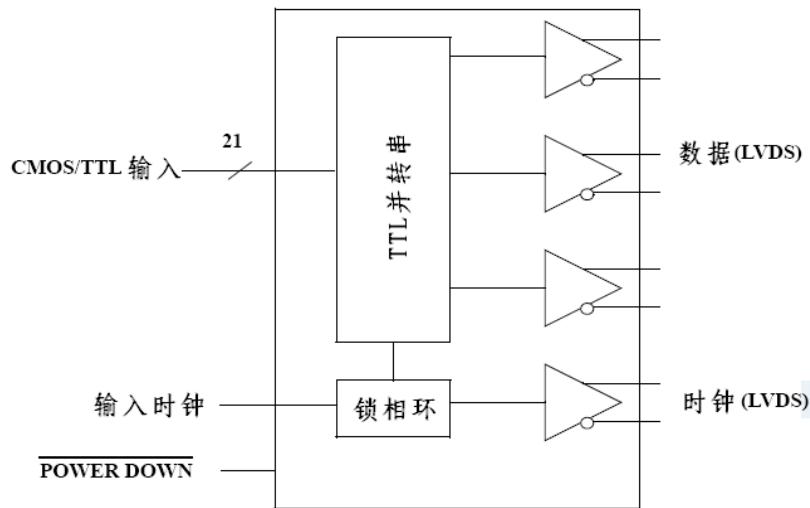


图 4-1 B54LVDS217ARH 电路功能框图

## 4.2 芯片工作原理

B54LVDS217ARH 是一款低功耗、高速的 LVDS 串行器。其可实现将 21 位 CMOS/TTL 数据转换成 3 路 LVDS（低电压差分信号）数据，第 4 路 LVDS 驱动器传输与数据流同步的时钟信号，如图 4-1 所示。每一个传输时钟周期都对 21 位输入数据进行采样和传输。它通过内嵌宽锁定范围、低抖动性能锁相环提供高速采样时钟完成并串转换，并通过 LVDS 驱动器输出高速串行数据信号。器件可以满足大吞吐率系统要求。

## 4.3 时序特性

B54LVDS217ARH 输入时钟和输入数据 TXIN0-TXIN20 之间为上升沿采样，时序关系如图 4-2 所示，时钟上升沿处于数据位中间时为最优采样点。LVDS 输出时钟和 LVDS 输出数据之间时序关系如图 4-3 所示，1 个时钟周期内包括 7 位数据（上拍 2 位+本拍 5 位）。

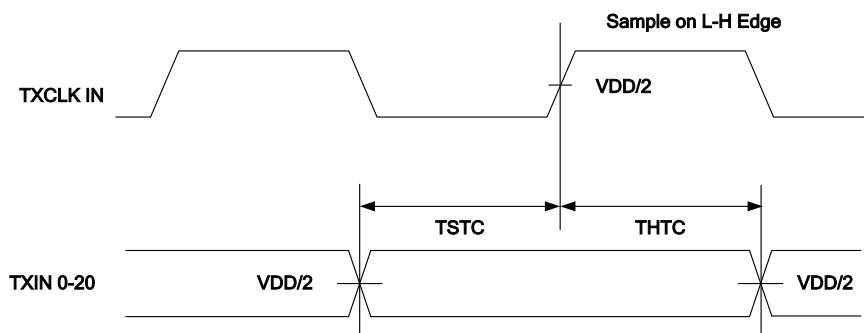


图 4-2 输入时钟和数据信号时序关系

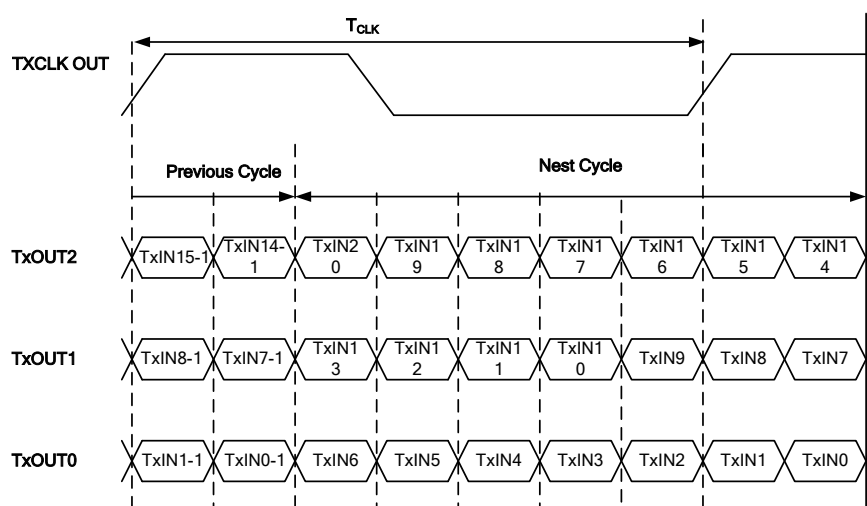


图 4-3 输出时钟和数据信号时序关系

## 五、产品电特性

参数	符号	条件 (-55℃≤T <sub>A</sub> ≤125℃, 无特别指出 时 3.0V≤V <sub>DD</sub> ≤3.6V)	极限值		单位
			最小	最大	
<b>CMOS/TTL 直流参数</b>					
输入高电平电压	V <sub>IH</sub>	(TTL)	2.0	V <sub>DD</sub>	V
输入低电平电压	V <sub>IL</sub>	(TTL)	GND	0.8	V
高电平输入电流	I <sub>IH</sub>	V <sub>IN</sub> =3.6V, V <sub>DD</sub> =3.6V	-10	+10	μA
低电平输入电流	I <sub>IL</sub>	V <sub>IN</sub> =0V, V <sub>DD</sub> =3.6V	-10	+10	μA
输入钳位电压	V <sub>CL</sub>	I <sub>CL</sub> =-18mA	-1.5	—	V
输入冷备份电流	I <sub>CS</sub>	V <sub>IN</sub> =3.6V, V <sub>DD</sub> =V <sub>SS</sub>	-20	+20	μA
<b>LVDS 直流参数</b>					
差分输出电压	V <sub>OD</sub>	R <sub>L</sub> =100Ω	250	400	mV
互补输出的V <sub>OD</sub> 变化量	ΔV <sub>OD</sub>	R <sub>L</sub> =100Ω	—	35	mV
共模输出电压	V <sub>OS</sub>	R <sub>L</sub> =100Ω, (V <sub>OS</sub> =(V <sub>OH</sub> +V <sub>OL</sub> )/2)	1.120	1.410	V
互补输出的V <sub>OS</sub> 变化量	ΔV <sub>OS</sub>	R <sub>L</sub> =100Ω,	—	35	mV
输出三态电流	I <sub>OZ</sub>	PDN=0, V <sub>OUT</sub> =0V或 V <sub>DD</sub> , V <sub>DD</sub> =3.6V	-10	+10	μA
输出冷备份电流	I <sub>CSOUT</sub>	V <sub>OUT</sub> =3.6V, V <sub>DD</sub> =V <sub>SS</sub>	-20	+20	μA
输出短路电流	I <sub>OS</sub>	D <sub>IN</sub> =V <sub>DD</sub> , V <sub>OUT+</sub> =0V或 D <sub>IN</sub> =GND, V <sub>OUT-</sub> =0V	-5.0	—	mA
<b>电源电流</b>					
带负载电源电流	I <sub>CCL</sub>	所有通道R <sub>L</sub> =100Ω所有D <sub>IN</sub> =V <sub>DD</sub> 或V <sub>SS</sub> , V <sub>DD</sub> =3.6V, f=50MHz	—	65.0	mA
低功耗模式电流 <sup>d</sup>	I <sub>CCZ</sub>	D <sub>IN</sub> =V <sub>DD</sub> 或 V <sub>SS</sub> , PDN=0V, f=0Hz, V <sub>DD</sub> =3.6V		60.0	μA
<b>开关参数</b>					
工作频率	f		15	75	MHz
LVDS 低到高时间	LLHT	V <sub>DD</sub> =3.0V, 图 5-2	—	1.5	ns
LVDS 高到低时间	LHLT	V <sub>DD</sub> =3.0V, 图 5-2	—	1.5	ns
第 0 位输出位置	TPPOS0	V <sub>DD</sub> =3.0V,	-0.22	0.23	ns

参数	符号	条件 ( $-55^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$ , 无特别指出 时 $3.0\text{V} \leq V_{DD} \leq 3.6\text{V}$ ) 图 5-7, $f=75\text{MHz}$	极限值		单位
			最小	最大	
第 1 位输出位置	TPPOS1		1.68	2.13	ns
第 2 位输出位置	TPPOS2		3.59	4.04	ns
第 3 位输出位置	TPPOS3		5.49	5.94	ns
第 4 位输出位置	TPPOS4		7.40	7.85	ns
第 5 位输出位置	TPPOS5		9.30	9.75	ns
第 6 位输出位置	TPPOS6		11.21	11.66	ns
通道到通道偏斜 <sup>c</sup>	TCCS	$V_{DD} = 3.0\text{V}$ , 图 5-8	—	0.45	ns
输入输出时钟延时	TCCD	$V_{DD} = 3.0\text{V}$ , 图 5-3	0.5	2.5	ns
锁相环建立时间	TPLLS	$V_{DD} = 3.0\text{V}$ , 图 5-4	—	10	ms
低功耗模式延时	TPDD	$V_{DD} = 3.0\text{V}$ , 图 5-5	—	100	ns
输入时钟周期 <sup>b</sup>	TCIP	图 5-3	13.3	66.7	ns
输入时钟高时间 <sup>b</sup>	TCIH	图 5-3	0.35 TCIP	0.65 TCIP	ns
输入时钟低时间 <sup>b</sup>	TCIL	图 5-3	0.35 TCIP	0.65 TCIP	ns
输入建立时间 <sup>b</sup>	TSTC	图 5-3, $f=15\text{MHz}$	1.0	—	ns
		图 5-3, $f=75\text{MHz}$	0.5	—	ns
输入保持时间 <sup>b</sup>	THTC	图 5-3, $f=15\text{MHz}$	0.7	—	ns
		图 5-3, $f=75\text{MHz}$	0.5	—	ns

<sup>a</sup>: 定义流入器件管脚的电流为正向, 流出管脚的电流为负。所有电压值均为对地电压。  
<sup>b</sup>: 特征分析保证。  
<sup>c</sup>: 通道到通道偏斜定义为 TPPOS 最大值与 TPPOS 最小值之差。  
<sup>d</sup>: 100Krad之后,  $I_{CCZ}=200\mu\text{A}$

### 典型特性参数示意图

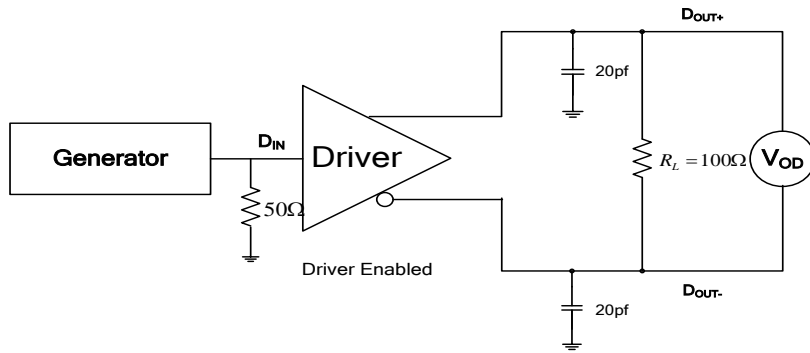


图 5-1 VOD 和 VOS 参数测试示意图

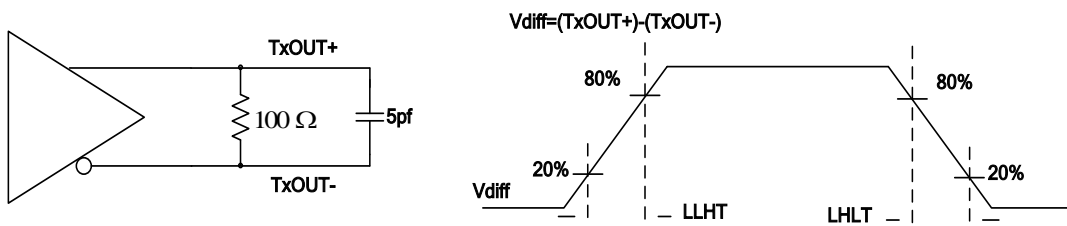


图 5-2 LVDS 输出负载及转换时间

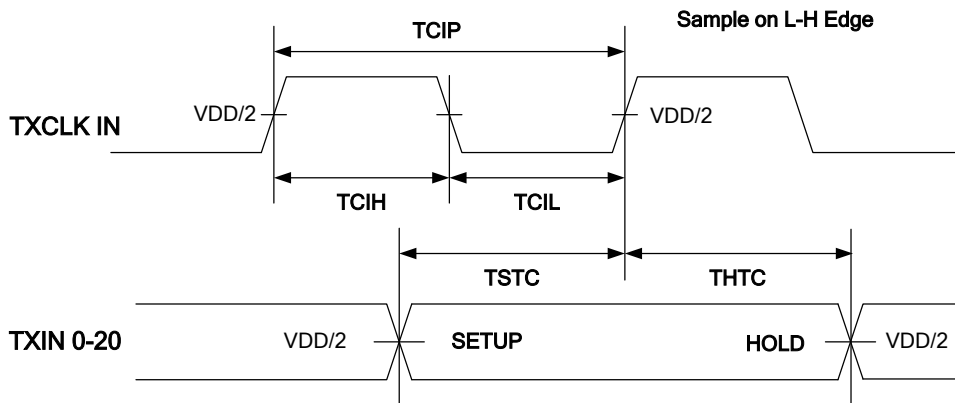


图 5-3 CMOS/TTL 输入信号建立/保持和高电平时间

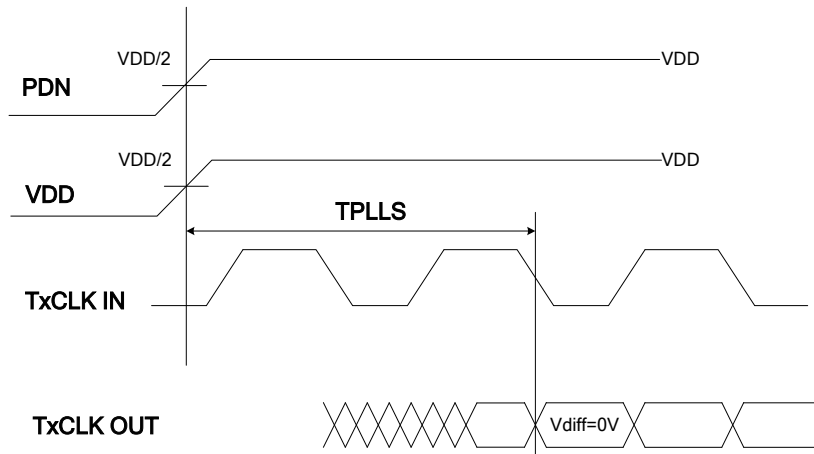


图 5-4 锁相环建立时间

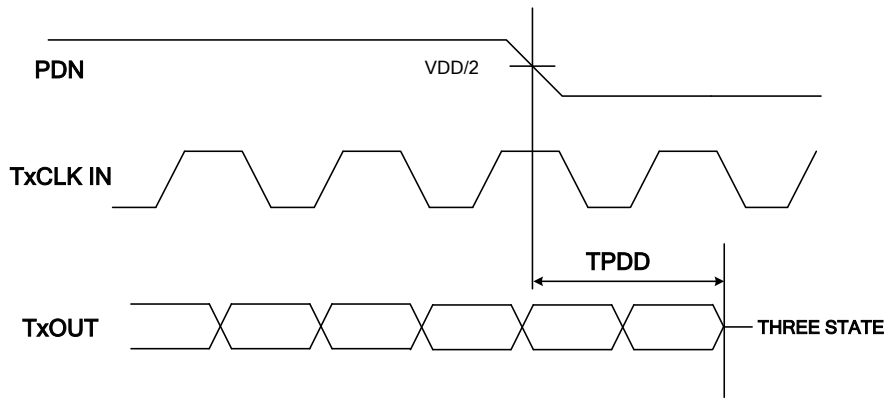


图 5-5 低功耗模式延迟

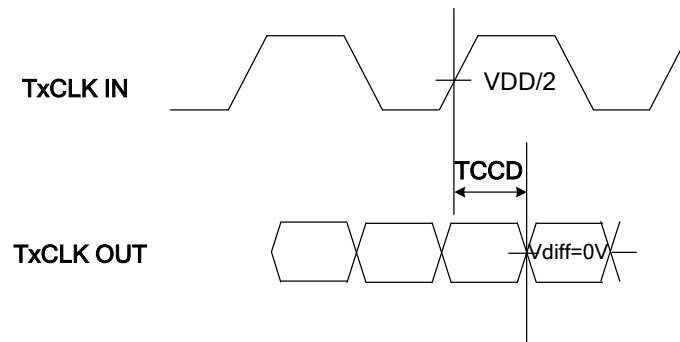


图 5-6 CMOS/TTL 输入时钟和 LVDS 输出时钟延迟

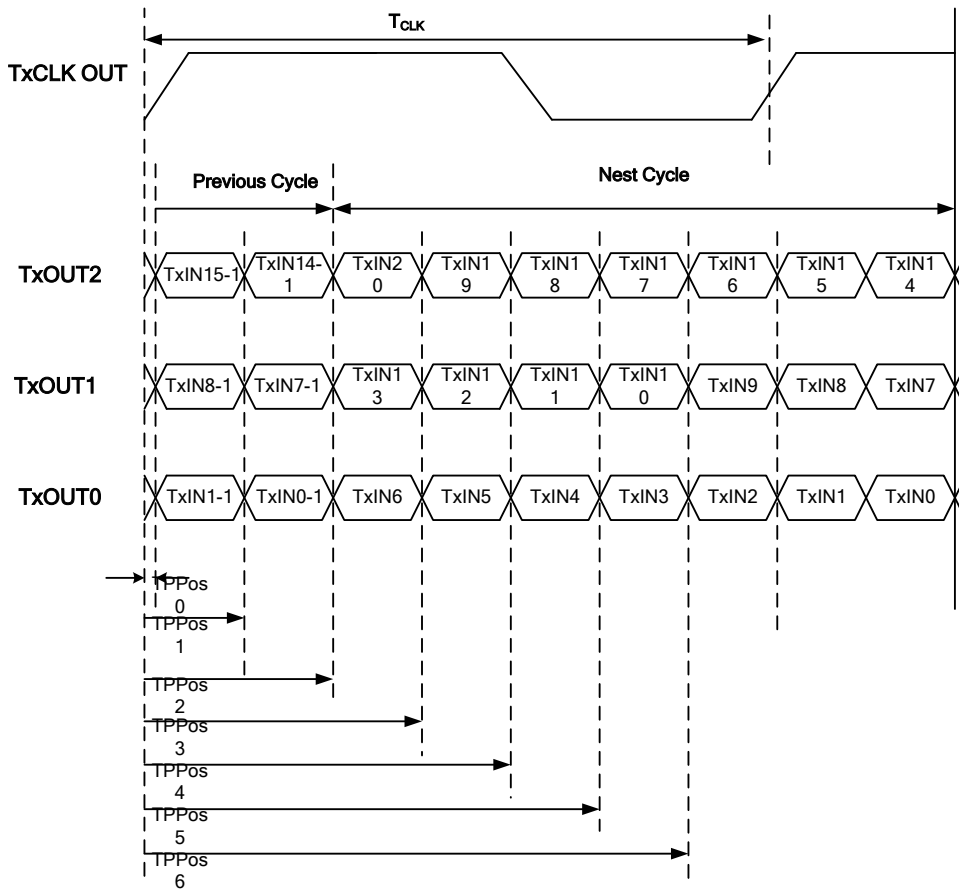


图 5-7 LVDS 输出时钟和数据时序关系

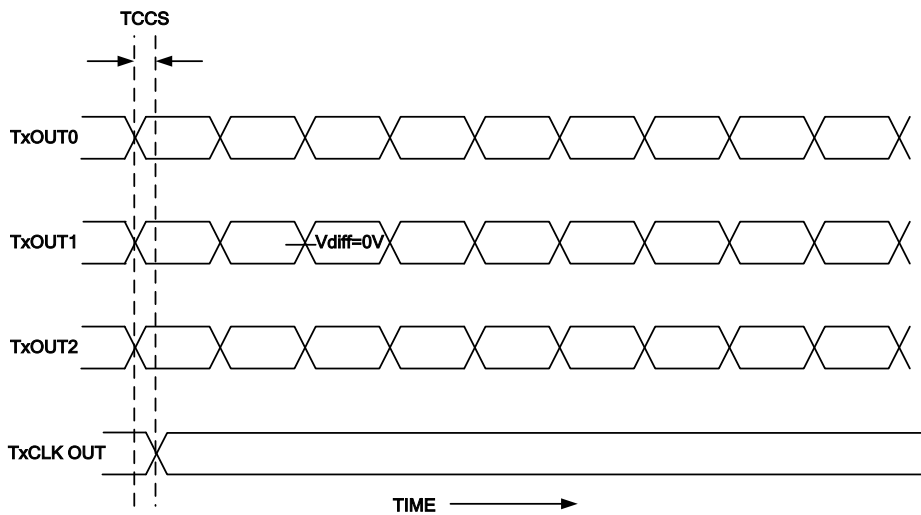


图 5-8 LVDS 输出数据和时钟通道间偏斜

## 六、典型应用

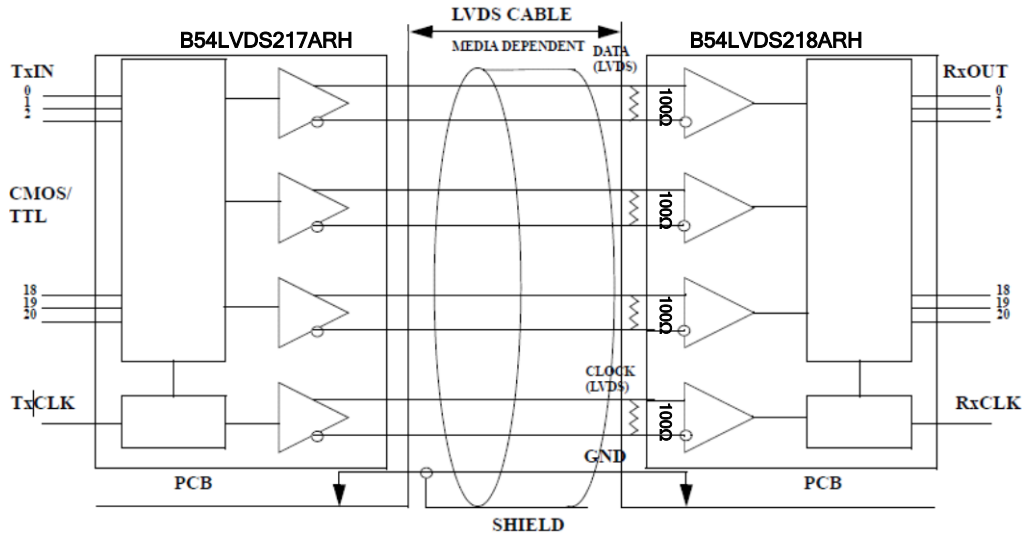


图 6-1 B54LVDS217ARH 典型应用

B54LVDS217ARH 作为一款低功耗、高速的 LVDS 串行器，可实现将 21 位宽并行 TTL/CMOS 数据转换为 3 路高速串行 LVDS 数据输出，配合 B54LVDS218ARH 解串器使用，可实现最大 1.575Gbps 数据吞吐率，非常适用于高速图像、视频采集信号的传输。

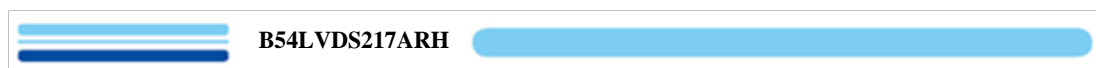
B54LVDS217ARH 型 LVDS 串行器通常应用于如图 6-1 所示的简单点对点的传输结构，发送和接收器件具有一致地电位。对于高速（边沿速率）信号，这种点对点连接有清晰的路径，可以提供最佳的信号质量。接收器与驱动器通过平衡介质进行连接，平衡介质如标准双绞线，并行同轴电缆或者 PCB 走线。通常，介质的特征阻抗为  $100\Omega$ 。使用时需要一个与介质差分阻抗相匹配的  $100\Omega$  终端电阻，并且终端电阻应布放在尽量靠近接收器输入端处。终端电阻将驱动电流转换为接收器的输入电压。

## 七. 应用注意事项

### 7.1 产品应用说明

#### ➤ 线缆

发送器和接收器之间通过 LVDS 端口传输差分数据和时钟。需要 4 对差分信号线进行互





连，传输线可采用双绞线、同轴电缆等进行传输。为减小信号反射对信号完整性的影响，传输线缆需保证差分  $100\ \Omega$  特征阻抗且阻抗连续。在高速以及长距离传输使用下，建议不同线缆之间延迟偏差小于  $100\text{ps}$  ( $\geq 60\text{MHz}$  时钟频率下)，保证接收器内部具有充足的采样裕度。

### ➤ PCB 布局

电路板布局与层叠结构设计需要为器件提供低噪电源。电路板设计需要隔离高频高压输入输出引脚、减少不需要的噪声接收、反馈和干扰。层叠结构最少四层板，以四层板为例（顶层到底层），信号布局为 LVDS 信号、GND、VCC（PLL VDD/LVDS VDD/VDD）与 TTL/CMOS 信号。因 PLL 模块对电源噪声敏感，建议为 PLL 划分单独的电源区域，地平面不需要进行单独划分。在电源层与地层之间使用薄的绝缘介质，增强 PCB 电源系统的本征电容，改善电源滤波。建议在 PCB 的最外层敷上地平面，改善电源平面系统的屏蔽和隔离。

为减小噪声串扰以及 EMI 影响，差分正负信号线之间要尽量靠近。同时 4 对 LVDS 差分信号 PCB 布线必须要做等长处理且尽量短。高速使用下，为保证阻抗连续性，应尽量减少接触孔的使用数量，避免采用 90 度绕线方式。

### ➤ 未使用端口处理

未使用的发送器输入 TXIN 端口需要接地。

### ➤ 终端电阻

使用时，电路需要依靠  $100\ \Omega$  终端匹配电阻生成 LVDS 信号，B54LVDS217ARH 输出端不可使用 AC 耦合或者无终端电阻的负载电路结构。当接收端电路内部没有集成的  $100\ \Omega$  终端匹配时，需在接收器每一对差分输入管脚之间跨接典型值为  $100\ \Omega$  的电阻，终端电阻要尽量靠近接收器差分输入端口，用于减小信号反射，实际偏差范围为  $90\text{--}120\ \Omega$ 。PCB 布线特征阻抗、传输线特征阻抗以及终端电阻需保持连续且一致。

### ➤ 电源端去耦电容

使用时，为减小开关噪声影响，需要在电路各电源管脚近端添加去耦电容。外部电源旁路电容尽量选择射频陶瓷和钽电解质类型，建议每个电源管脚处均并联使用表贴高频陶瓷  $0.1\ \mu\text{F}$ 、 $0.01\ \mu\text{F}$  以及  $0.001\ \mu\text{F}$  的去耦电容。如果因板级面积受限，优先考虑 PLL 电源的去耦电容，其次是 LVDS 电源，最后是数字电源。另外需要一个  $10\ \mu\text{F}$  ( $35\text{V}$ ) 或者更大的固态钽

电容连接在 PCB 板的电源入口处。

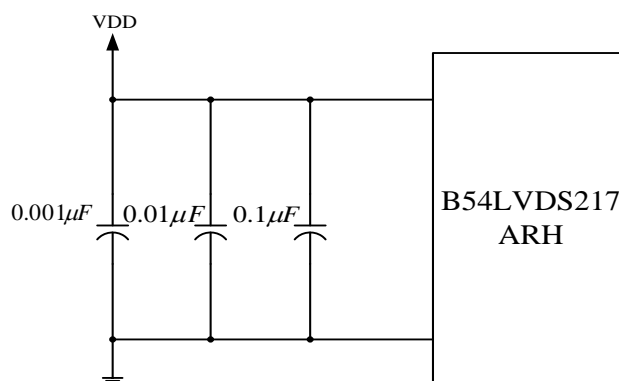


图 7-1 电源去耦电容示意图

### ➤ 输入时钟要求

链路中 B54LVDS217ARH 内部 PLL 对输入时钟进行 7 倍频，电路输出 3 路高速数据和 1 路 1/7 数据速率的同步时钟，为后级接收器件提供输入参考时钟。B54LVDS217ARH 内部 PLL 的低通特性可滤除环路带宽外的高频抖动成分，因此，电路对输入时钟中的低频抖动非常敏感。特别是采用 DC-DC 供电时，通常开关频率处于 PLL 低通频带内，此时需尽量减小开关产生的电源纹波，同时改善 B54LVDS217ARH 输入时钟信号质量。这样可改善 B54LVDS217ARH 输出数据和时钟的抖动，进而增大后级接收器 B54LVDS218ARH 内部采样裕量，减轻系统设计压力。

## 7.2 对电源的要求和推荐使用电路

必须注意 B54LVDS217ARH 器件的上电次序，通常原则是：首先加电源，再加信号。电源上电时间应大于 10 $\mu$ s。

## 7.3 产品防护

### 7.3.1 电装及防护措施

器件应采取防静电措施进行操作。推荐下列操作措施：

- a) 器件应在防静电的工作台上操作；
- b) 试验设备和器具应接地；

- c) 不能直接用手触摸器件引线，应佩戴防静电指套和腕带；
- d) 器件应存放在防静电材料制成的容器中；
- e) 生产、测试、使用及流转过程工作区域内应避免使用能引起静电的塑料、橡胶或丝织物；
- f) 相对湿度应尽可能保持在 30%~70%。

### 7.3.2 包装

器件包装应至少满足以下要求：

- a) 由无腐蚀的材料制成；
- b) 具有足够的强度，能够经得起搬运过程中的震动和冲击；
- c) 用防静电材料涂敷过或浸渍过，具备足够的抗静电能力；
- d) 能够牢固的把所装器件支撑在一定的位罝；
- e) 能保持器件引线不发生变形；
- f) 没有锋利的棱角；
- g) 能安全容易的移动、检查和替换器件；
- h) 一般不使用聚氯乙烯、氯丁橡胶、乙烯树脂和聚硫化物等材料，也不允许使用有硫、盐、酸、碱等腐蚀成分的材料，使用具有低放气指数、低尘粒脱落的材料制造为宜。

### 7.3.3 运输和贮存

器件在运输和贮存过程中，至少应满足以下要求：

- a) 运输：在避免雨、雪直接影响的条件下，装有产品的包装箱可以用任何运输工具运输。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。
- b) 贮存：包装好的产品应贮存在环境温度为 16℃~28℃，相对湿度不大于 30%~70%，周围没有酸、碱或其它腐蚀性气体且通风良好的库房里。

## 八、用户关注产品信息

### 8.1 产品鉴定信息

表 8-1 B54LVDS217ARH 鉴定信息

鉴定产品批次		1633
鉴定执行标准	总规范名称及编号	半导体集成电路总规范 (GJB 597B-2012 )
	详细规范名称及编号	半导体集成电路 B54LVDS217ARH 型辐射加固 LVDS 串行器(Q/Zt 20514A-2017)
	附加技术条件	—
	质量等级	CC
鉴定情况	鉴定试验日期	2017. 02. 24-2017. 06. 19
	鉴定试验机构	北京微电子技术研究所
	鉴定报告编号	16-171

### 8.2 产品标识

B54LVDS217ARH 电路产品标识示意图见图 8-1。

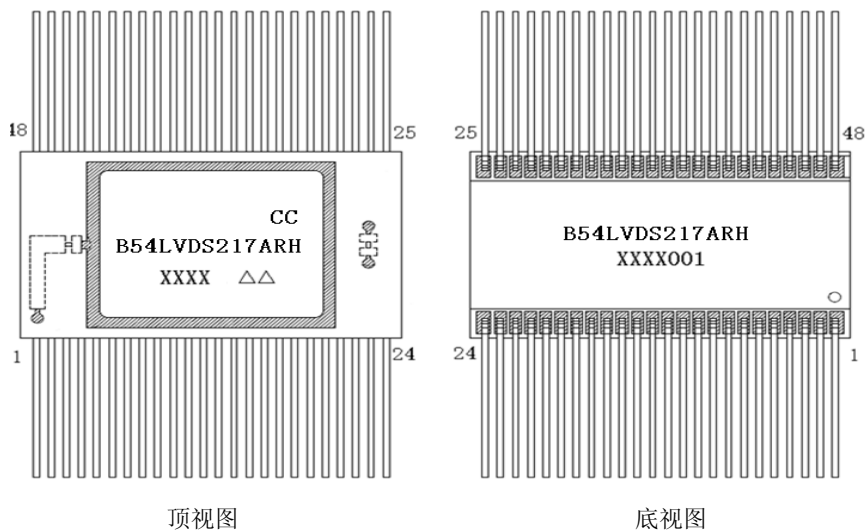


图8-1 标志示意图



### 8.3 研制生产单位联系方式

地 址：北京市丰台区东高地四营门北路2号

邮政编码：100076

联系部门：市场二部                      电话/传真：010-67968115-6313/010-68757706

                    抗加中心    时飞    电话：010-67968115-8030/13426116314



## 附录1对应替代国外产品情况

替代国外型号: UT54LVDS217		国外生产商: NS公司	
对比项	国内产品	国外产品	差异性、兼容性分析
输入时钟频率范围	15MHz~75MHz	15MHz~75MHz	一致
单片最大数据吞吐量	1.575Gbps	1.575Gbps	一致
全端口冷备份功能	具备	具备	一致
电源电压 (PLL/LVDS/VDD)	3.0V~3.6V	3.0V~3.6V	一致
工作温度范围	-55℃~125℃	-55℃~125℃	一致
带载总电流	≤65mA	≤65mA	一致
低功耗模式电流	≤60uA	≤60uA	一致
输入高电平电压	≥2.0V	≥2.0V	一致
输入低电平电压	≤0.8V	≤0.8V	一致
LVDS 输出差模电压	250mV~400mV	250mV~400mV	一致
LVDS 输出共模电压	1.125V~1.375V	1.125V~1.375V	一致
LVDS 通道间偏移	≤0.45ns	≤0.45ns	一致
输入时钟到输出时钟的 传播延迟	0.5ns~2.5ns	0.5ns~2.5ns	一致
抗静电能力(人体模型)	≥2KV	/	/
抗电门锁电流	≥200mA	/	/
抗总剂量指标	≥100Krad (Si)	≥300Krad (Si)	不一致(国内产品未进行 300K 的摸底)
抗单粒子门锁阈值	≥75MeV·cm <sup>2</sup> /mg	≥100MeV·cm <sup>2</sup> /mg	不一致 <sup>1</sup>
封装形式	FP48	FP48	一致
1. B543VDS217ARH电路鉴定试验结果≥99.8MeV·cm <sup>2</sup> /mg			