

Ver 1.1

辐射加固 3.3V CMOS 八路 LVDS 差分发送器

产品使用手册

产品型号: **BLV3108VS1372RH**



北京微电子技术研究所

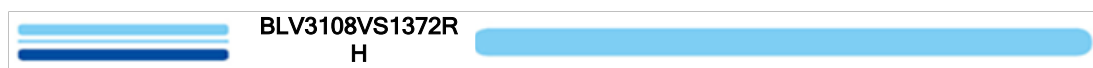


版本控制页

版本号	发布日期	更改章节	更改说明	备注
1.0	2018.9			
1.1	2019.4	附录 2	更正表 2-2 中 HE 参数值	

目 录

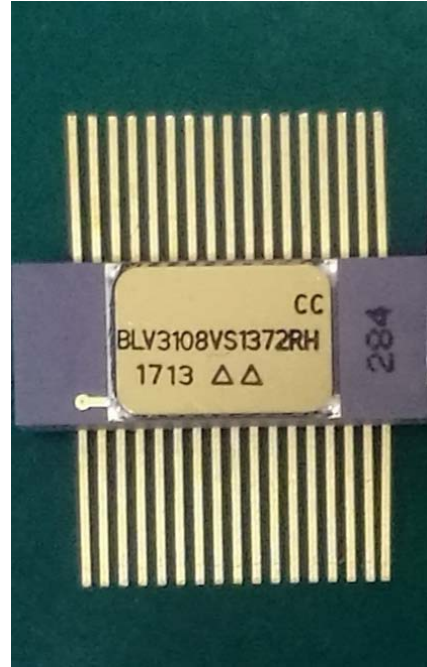
一、产品概述	4
1.1 产品特点	4
1.2 产品用途及应用范围	4
1.3 免责声明	4
二、产品工作条件	5
2.1 绝对最大额定值	5
2.2 推荐工作条件	5
三、封装及引出端说明	6
3.1 引出端排列	6
3.2 外形尺寸说明	8
四、产品功能	9
4.1 产品的基本工作原理	9
4.2 功能描述	9
五、产品电特性	10
六、典型应用	12
七、应用注意事项	13
7.1 产品应用说明	13
7.2 对电源的要求和推荐使用电路	14
7.3 产品防护	15
八、用户关注产品信息	16
8.1 产品鉴定信息	16
8.2 产品标识	16
8.3 研制生产单位联系方式	17
附录 1 对应替代国外产品情况	18
附录 2 与对应国外产品的成型尺寸差异	19
附录 3 特性曲线	21



一、产品概述

1.1 产品特点

- 可处理 400Mbps (200MHz) 信号
- 340mV 标准差分输出电压
- 3.3V 工作电压
- 兼容 TTL 输入
- 采用低功耗的 CMOS 工艺
- 所有引出端具有冷备份功能
- 最大 4.5ns 的数据传输延时
- 最大 400ps 的低高-高低数据传输延时差异
- 抗总剂量辐射能力: $\geq 100\text{krad}(\text{Si})$
- 抗单粒子闩锁能力: $\geq 75\text{MeV} \cdot \text{cm}^2/\text{mg}$
- 陶瓷 34 引脚小外形封装 (CSOP34)
- 兼容 3DLV3108VS1372MS
- 符合 IEEE 1596.3SCI LVDS 标准
- 符合 ANSI/TIA/EIA 644-1996 LVDS 标准



1.2 产品用途及应用范围

BLV3108VS1372RH 型电路是针对低功耗、高速率应用所设计的辐射加固 3.3V CMOS 四路 LVDS 发送器。采用低电压差分信号传输 (LVDS) 技术, 电路可支持超过 400 Mbps (200 MHz) 的数据传输速率。

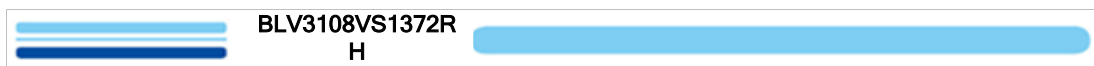
BLV3108VS1372RH 型电路接收 CMOS/TTL 信号输入并将其转换为低压差分信号(差分电压典型值 340mV)输出。电路具有三态功能, 可停止输出级输出、切断负载电流, 因此实现电路的超低待机功耗。

BLV3108VS1372RH 电路与 BLV3208VS1373RH、B54LVDS032LVRH 等辐射加固 3.3V LVDS 差分接收器电路配合使用, 可替代高功耗的 PECL 电路用于高速点对点接口应用。

所有引出端均具备冷备份功能, 当 VDD 与连接至地电位时, 所有端口均为高阻。

1.3 免责声明

本手册版权归北京微电子技术研究所所有, 并保留一切权利。未经书面许可, 任何单位、组织和个人不得将此文档中的任何部分公开、转载或以其他方式散发给第三方, 否则将追究其法律责任。





本手册版本将不定期更新，请在使用本产品之前联系本单位销售部门获取本手册的最新版本。

用户因未严格按本手册要求保存、使用本产品，致使产品工作异常或损坏，造成任何直接或间接损失，本单位不承担任何责任。

除本手册说明之外，请勿接受第三方指导或参考第三方资料对本产品进行操作，用户对本手册有疑问之处请与本单位销售部门联系。

二、产品工作条件

2.1 绝对最大额定值

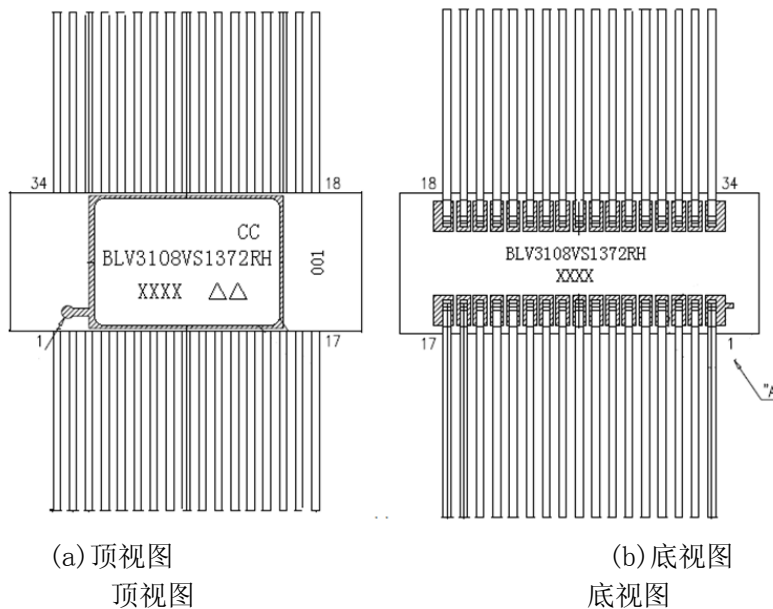
参数名称	参数符号	参数值	单位
电源电压	V_{DD}	-0.5~+4.0	V
输入、输出电压	V_I 、 V_O	-0.3~+4.0	V
贮存温度	T_{stg}	-65~150	°C
引线耐焊接温度	T_h	260	°C
结温	T_J	150°C	°C
热阻	$R_{th(J-C)}$	20	°C/W
热阻	$R_{th(J-A)}$	150	°C/W
耗散功耗	P_D	1.5	W
动态共模电压漂移	ΔV_{OS-pp}	150	mVpp

2.2 推荐工作条件

参数名称	参数符号	参数值	单位
电源电压	V_{DD}	3.0V~3.6	V
输入电压范围	V_I 、 V_O	0V~ V_{DD}	V
工作环境温度	T_A	-55~125	°C
工作速率	f	≤400	Mbps

三、封装及引出端说明

3.1 引出端排列



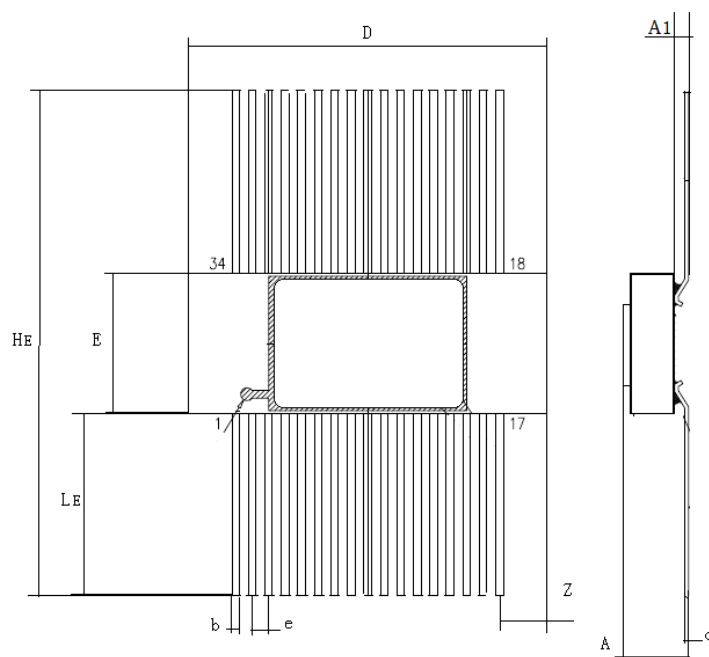
引出端排列

引出端序号	信号名称	管脚类别	功能说明	引出端序号	信号名称	管脚类别	功能说明
1	Din1	I	第一路数据输入	18	Din7	I	第七路数据输入
2	Dout1+	0	第一路数据输出正端	19	Dout7+	0	第七路数据输出正端
3	Dout1-	0	第一路数据输出负端	20	Dout7-	0	第七路数据输出负端
4	EN1	I	高电平有效使能端 1	21	$\overline{\text{EN2}}$	I	低电平有效使能端 2
5	Dout2-	0	第二路数据输出负端	22	Dout8-	0	第八路数据输出负端



引出端序号	信号名称	管脚类别	功能说明	引出端序号	信号名称	管脚类别	功能说明
6	Dout2+	0	第二路数据输出正端	23	Dout8+	0	第八路数据输出正端
7	Din2	I	第二路数据输入	24	Din8	I	第八路数据输入
8	GND	G	地	25	VDD	P	电源
9	GND	G	地	26	VDD	P	电源
10	Din5	I	第五路数据输入	27	Din3	I	第三路数据输入
11	Dout5+	0	第五路数据输出正端	28	Dout3+	0	第三路数据输出正端
12	Dout5-	0	第五路数据输出负端	29	Dout3-	0	第三路数据输出负端
13	EN2	I	高电平有效使能端2	30	$\overline{\text{EN1}}$	I	低电平有效使能端1
14	Dout6-	0	第六路数据输出负端	31	Dout4-	0	第四路数据输出负端
15	Dout6+	0	第六路数据输出正端	32	Dout4+	0	第四路数据输出正端
16	Din6	I	第二路数据输入	33	Din4	I	第四路数据输入
17	GND	G	地	34	VDD	P	电源

3.2 外形尺寸说明



外形尺寸示意图

外形尺寸

单位为毫米

尺寸符号	数值		
	最小	公称	最大
A	2	—	2.8
b	0.25	—	0.35
D	13.6	—	14.6
E	5.05	—	5.95
c	0.1	—	0.2
e	0.55	—	0.75
H _E	12.2	—	20.5
L _E	3.5	—	7.5
z	1.45	—	2.25
A ₁	0.35	—	0.65

注：未注公差按 GB/T1804 表 1 中 c 执行。

四、产品功能

4.1 产品的基本工作原理

BLV3108VS1372RH电路功能框图如图1所示。电路用于将CMOS/TTL信号转换成LVDS信号。驱动级的电流源提供3.5mA左右的恒流，通过开关控制该电流流过负载电阻的方向，就可以在负载两端产生350mV或-350mV的电压信号，即LVDS信号。

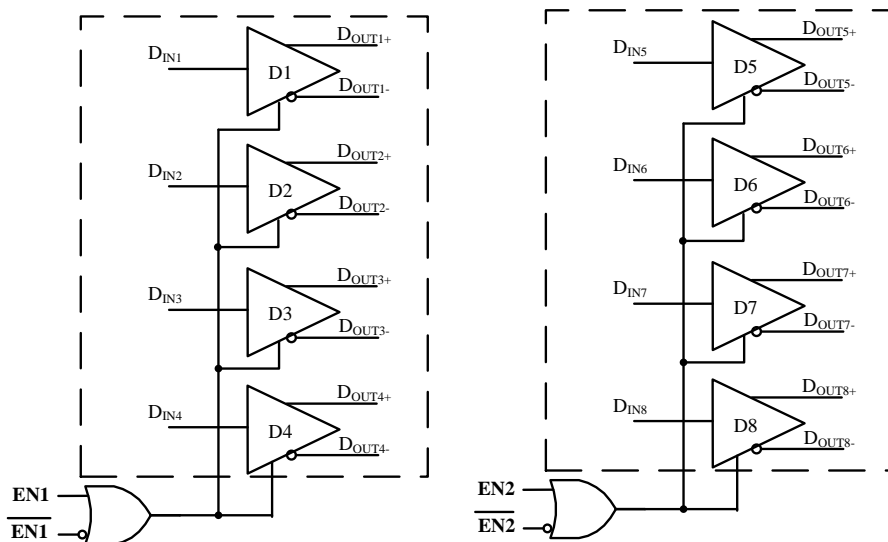


图 1 BLV3108VS1372RH 电路功能框图

4.2 功能描述

BLV3108VS1372RH 的驱动级采用平衡电流源设计。电流驱动模式的驱动器具有高输出阻抗，其提供的电流为恒定电流，通过终端电阻几乎没有损耗(而电压驱动模式的驱动器在一定的终端电阻上产生固定的电压值)。电流流过终端电阻，在其一端产生一逻辑电位，另一端产生另外的逻辑电位。BLV3108VS1372RH 主要包含恒定电流产生模块、使能控制模块及单端转双端控制模块等。在内部模块的控制下，任一状态的 CMOS/TTL 信号输入都对应着一个确定的 LVDS 差分输出状态，即将 CMOS/TTL 输入信号转换成为 LVDS 输出信号。

对应 CMOS/TTL 信号的‘高’状态，LVDS 输出正端与负端电平之差为正的 340mV；对应 CMOS/TTL 信号的‘低’状态，LVDS 输出正端与负端电平之差为负的 340mV。

器件的真值表如表 1:

表1 真值表

使能信号		输入	输出	
EN	$\overline{\text{EN}}$	D _{IN}	D _{OUT+}	D _{OUT-}
L	H	X	Z	Z
使能信号的其他组合		L	L	H
		H	H	L

五、产品电特性

除另有规定外，电特性应按表 2 的规定，并适用于全温度范围。交流参数示意图见图 2，图 3。

表2 电参数表

参数	符号	条件 (除另有规定外, $-55^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$, $V_{DD} = 3.0\text{V}$ 和 3.6V)	极限值		单位
			最小	最大	
输入高电平电压	V_{IH}	(TTL)	2.0	V_{DD}	V
输入低电平电压	V_{IL}	(TTL)	GND	0.8	V
输出高电平电压	V_{OH}	$R_L=100\ \Omega$	—	1.650	V
输出低电平电压	V_{OL}	$R_L=100\ \Omega$	0.925	—	V
输入电流	I_{IN}	$V_{IN} = V_{DD}$ 或 V_{SS} , $V_{DD}=3.6\text{V}$	-10	10	μA
冷备份漏电流	I_{CS}	$V_{IN}=3.6\text{V}$, $V_{DD} = V_{SS}$, 测输入端	-4	4	μA
		$V_{OUT}=2.4\text{V}$, $V_{DD} = V_{SS}$, 测输出端			
差分输出电压	V_{OD}	$R_L=100\ \Omega$	247	454	mV
互补输出的 V_{OD} 变化量	ΔV_{OD}	$R_L=100\ \Omega$		50	mV
共模输出电压	V_{OS}	$R_L=100\ \Omega$, $V_{OS} = (V_{OL} + V_{OH}) / 2$	1.125	1.375	V
动态共模电压漂移 ^b	ΔV_{OS-PP}	如图 2		150	V _{pp}
互补输出的 V_{OS} 变化量	ΔV_{OS}	$R_L=100\ \Omega$	—	50	mV
输入钳位电压	V_{CL}	$I_{CL} = -18\ \text{mA}$	-1.5	—	V
输出短路电流 ^a	I_{OS}	$V_{IN}=V_{DD}$, $V_{OUT+}=0\text{V}$ 或 $V_{IN}=V_{SS}$, $V_{OUT-}=0\text{V}$, $V_{DD}=3.6\text{V}$	-9.0	—	mA
差分输出短路电流 ^b	I_{SAB}	$V_{OD}=0$, $V_{DD}=3.6\text{V}$, 如图 3	-12	12	mA
输出三态电流	I_{OZ}	EN=0.8V, $\overline{\text{EN}}=2.0\text{V}$, $V_{OUT}=0\text{V}$ 或 3.6V , $V_{DD}=3.6\text{V}$, $V_{IN}=0.8$ 或 2.0	-1	1	μA
带载总电流, 使能打开	I_{CC1}	所有通道 $R_L=100\ \Omega$, $V_{IN}=0.8$ 或 2.0 , EN=2.0V, $\overline{\text{EN}}=0.8\text{V}$, $V_{DD}=3.6\text{V}$	—	70	mA
无负载总电流, 使能打开	I_{CC}	无负载, $V_{I1}=0.8\text{V}$ 或 2V , EN=2.0V, $\overline{\text{EN}}=0.8\text{V}$, $V_{DD}=3.6\text{V}$		40	mA
带载总电流, 使能关闭	I_{CC2}	EN=0.8V, $\overline{\text{EN}}=2.0\text{V}$, $V_{DD}=3.6\text{V}$	—	9.0	mA
总功耗	T_p	所有通道 $R_L=100\ \Omega$, $V_{IN}=0.8$ 或 2.0 , EN=2.0V, $\overline{\text{EN}}=0.8\text{V}$, $f=200\text{MHz}$, $V_{DD}=3.6\text{V}$		500	mW

参数	符号	条件 (除另有规定外, $-55^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$, $V_{DD} = 3.0\text{V}$ 和 3.6V)	极限值		单位
			最小	最大	
输入电容 ^c	C_{ID}	$T_A = 25^{\circ}\text{C}$, $f = 1\text{MHz}$		10	pF
功能测试		$f = 200\text{MHz}$, $V_{DD} = 3.0\text{V}, 3.3\text{V}, 3.6\text{V}$			
高到低传输延迟	t_{PHLD}	见图 4, $V_{DD} = 3.0\text{V}$	—	4.5	ns
低到高传输延迟	t_{PLHD}	见图 4, $V_{DD} = 3.0\text{V}$	—	4	ns
上升时间	t_r	见图 4, 20%~80%, $V_{DD} = 3.0\text{V}$	0.26	1	ns
下降时间	t_f	见图 4, 20%~80%, $V_{DD} = 3.0\text{V}$	0.26	1	ns
差分偏差	t_{SKD}	$t_{PLHD} - t_{PHLD}$, $V_{DD} = 3.0\text{V}$	—	0.6	ns
通道间偏差 ^d	t_{SK1}	$V_{DD} = 3.0\text{V}$	—	0.6	ns
芯片间偏差	t_{SK2}	$V_{DD} = 3.0\text{V}$	—	2.7	ns
高到高阻态的时间	t_{PHZ}	见图 5, $V_{DD} = 3.0\text{V}$	—	5.0	ns
低到高阻态的时间	t_{PLZ}	见图 5, $V_{DD} = 3.0\text{V}$	—	5.0	ns
高阻态到高的时间	t_{PZH}	见图 5, $V_{DD} = 3.0\text{V}$	—	7.0	ns
高阻态到低的时间	t_{PZL}	见图 5, $V_{DD} = 3.0\text{V}$	—	7.0	ns

注1对直流参数, 定义流入器件管脚的电流为正向, 流出管脚的电流为负。所有电压值均为对地电压。

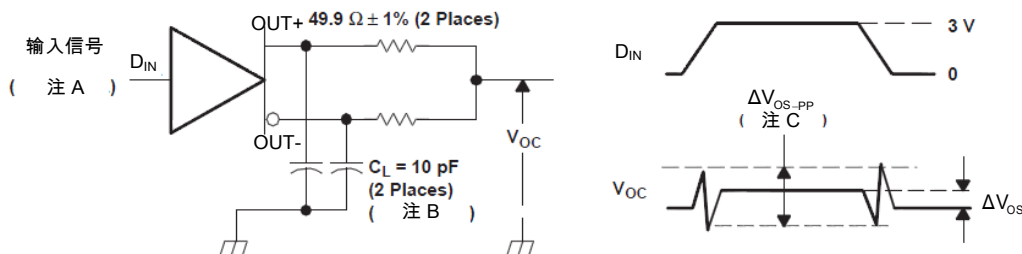
^a 输出短路电流只关注绝对值, 负号只用于表明电流方向。测量时每次只短路一路输出, 并且不要超出最大结温要求。

^b 仅初始鉴定或设计工艺更改有影响时进行, 常温抽测 3 (0)。

^c A4分组电容测试仪初始鉴定或设计工艺更改有影响时进行, 常温抽测3 (0)。

^d 通道间偏差定义为, 同一芯片的各通道上加相同激励时各通道的传输延迟时间之差。

^e 传输延迟、通道间偏差、动态功耗等参数与温度、电压关系曲线见附录3。



- 注: A. 输入信号速率50MHz, 脉冲宽度 $10 \pm 0.2\text{ns}$, 上升时间小于等于1ns, 下降时间小于等于1ns
 B. C_L 包含待测器件6mm内的插座、设备和仪器的寄生电容
 C. 此参数测量要求测试设备-3dB带宽大于300MHz

图 2 动态共模电压漂移测试电路定义及波形图

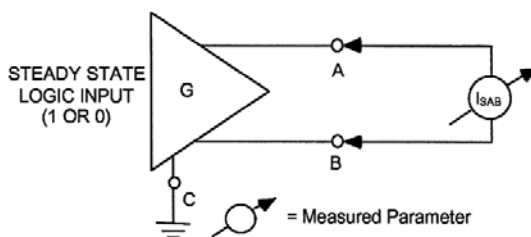
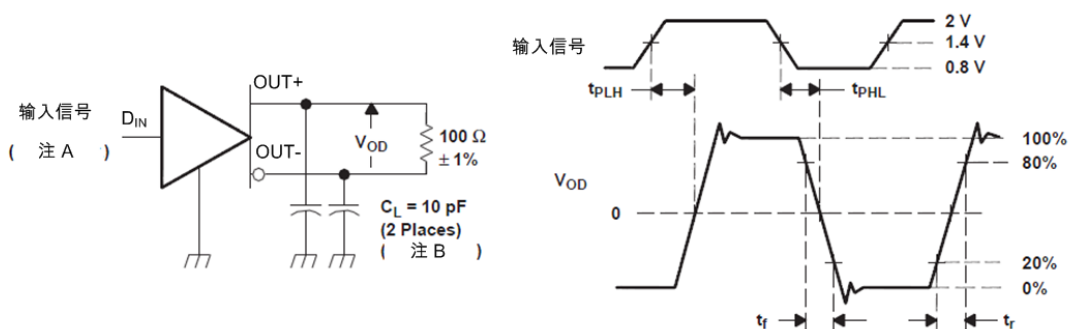
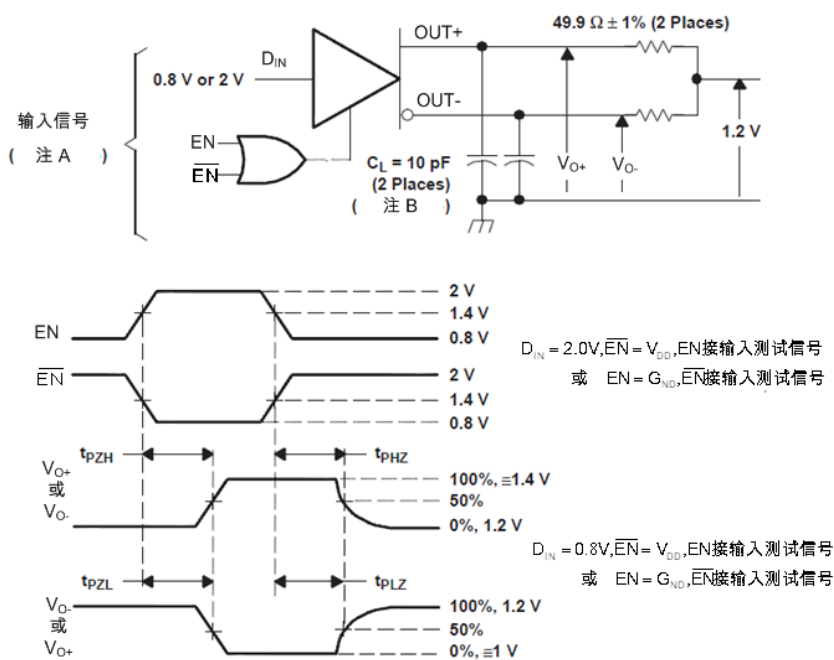


图 3 差分输出短路电路测试电路定义



注: A. 输入信号速率50MHz, 脉冲宽度 $10 \pm 0.2\text{ns}$, 上升时间小于等于1ns, 下降时间小于等于1ns
B. C_L 包含待测器件6mm内的插座、设备和仪器的寄生电容

图 4 信号传输延时测试电路定义及波形图



注: A. 输入信号速率0.5MHz, 脉冲宽度 $500 \pm 10\text{ns}$, 上升时间小于等于1ns, 下降时间小于等于1ns
B. C_L 包含待测器件6mm内的插座、设备和仪器的寄生电容

图 5 三态延时测试电路定义及波形图

六、典型应用

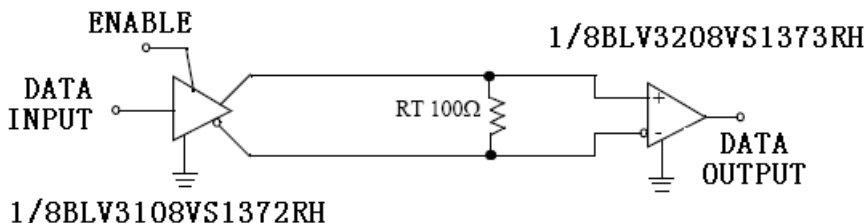


图 6 BLV3108VS1372RH 应用示意图

作为低压差分信号传输电路的发送器电路, BLV3108VS1372RH 将输入 CMOS 电平或 TTL

电平快速转化为低摆幅，低噪声，高转化速率的 LVDS 信号电平输出。BLV3108VS1372RH 电路可与 BLV3208VS13723RH 型辐射加固 3.3V CMOS 八路 LVDS 差分接收器电路，或者 B54LVDS032LVRH/B54LVDS033LVRH 型辐射加固 3.3V CMOS 四路 LVDS 差分接收器电路配合使用，可实现信号的高速可靠传输。但是输出端不可使用 AC 耦合或者无终端电阻的负载电路结构。

BLV3108VS1372RH 型 LVDS 发送器通常应用于如 6 所示的简单点对点的传输结构，器件具有一致地电位。对于高速（边沿速率），这种点对点连接有清晰的路径，可以提供最佳的信号质量。接收器与驱动器通过平衡介质进行连接，平衡介质如标准双绞线，并行同轴电缆或者 PCB 走线。通常，介质的特征阻抗为 100Ω 。使用时需要一个与介质差分阻抗相匹配的 100Ω 终端电阻，并且终端电阻应布放在尽量靠近接收器输入端处。终端电阻将驱动电流转换为接收器的输入电压。

BLV3108VS1372RH 的其他应用电路结构参照《Q/W 1216-2009 航天器用 LVDS 接口电路设计准则》。

七、应用注意事项

7.1 产品应用说明

7.1.1 终端匹配电阻

BLV3108VS1372RH 电路需要依靠 100Ω 终端匹配电阻生成 LVDS 电路，BLV3108VS1372RH 输出端不可使用 AC 耦合或者无终端电阻的负载电路结构。当接收端电路没有集成的 100Ω 终端匹配时，终端电阻应布放在尽量靠近接收器输入端处。

7.1.2 冷备份功能

冷备份功能是指当电路的电源端接 GND 电位时，从端口到电源的直流通路为高阻状态。BLV3108VS1372RH 电路的所有端口均具备冷备份功能。

7.1.3 未使用输入端的处理

BLV3108VS1372RH 电路的输入端不允许悬空，因为悬空会使电位不定，破坏正常的逻辑关系。另外，悬空时输入阻抗高，易受外界噪声干扰，使电路产生误动作，而且也极易造成

栅极感应静电而击穿，因此器件的无用端子必须连接到一个高电平或低电平。

以上所说的未使用输入端，包括没有被使用但已接通电源的 CMOS 电路所有输入端。例如，器件上有 8 路 LVDS 发送器，电路中只用其中一个，其它 7 路的所有输入端必须按未使用输入端处理。

如果要在印刷电路板上安装 BLV3108VS1372RH 电路，尽可能做到在与它有关的其它元件安装之后再装 BLV3108VS1372RH 电路，避免 BLV3108VS1372RH 器件输入端悬空。

7.1.4 PCB 板设计

电路板布局与层叠结构设计需要为器件提供低噪电源。电路板设计需要隔离高频高压输入输出引脚、减少不需要的噪声接收、反馈和干扰。层叠结构最少四层板，以四层板为例（顶层到底层），信号布局为 LVDS 信号、GND、VCC 与 TTL/CMOS 信号。在电源层与地层之间使用薄的绝缘介质，增强 PCB 电源系统的本征电容，改善电源滤波。建议在 PCB 的最外层敷上地平面，改善电源平面系统的屏蔽和隔离。

7.1.5 电源旁路电容

电源旁路电容的主要作用是为前级干扰（如电源产生的高频噪声等干扰）提供一条流到地平面的低阻抗路径，以避免这些干扰影响正在高速工作的电路。外部电源旁路电容尽量选择射频陶瓷和钽电解质类型。推荐表贴高频陶瓷 0.1 μ F，并联 0.01 μ F，并联 0.001 μ F 在电源供电引脚上。摆放位置尽可能的距电源引脚近，使用多个过孔连接旁路电容到电源平面上。另外需要一个 10 μ F（35V）或者更大的固态钽电容连接在 PCB 板的电源入口处。

7.2 对电源的要求和推荐使用电路

必须注意 BLV3108VS1372RH 器件的上电次序，通常原则是：首先加电源，再加信号。电源上电时间应大于 10 μ s。

7.3 产品防护

7.3.1 电装及防护措施

器件应采取防静电措施进行操作。推荐下列操作措施：

- a) 器件应在防静电的工作台上操作；
- b) 试验设备和器具应接地；
- c) 不能直接用手触摸器件引线，应佩戴防静电指套和腕带；
- d) 器件应存放在防静电材料制成的容器中；
- e) 生产、测试、使用及流转过程工作区域内应避免使用能引起静电的塑料、橡胶或丝织物；
- f) 相对湿度应尽可能保持在 30%~70%。

7.3.2 包装

器件包装应至少满足以下要求：

- a) 由无腐蚀的材料制成；
- b) 具有足够的强度，能够经得起搬运过程中的震动和冲击；
- c) 用抗静电材料涂敷过或浸渍过，具备足够的抗静电能力；
- d) 能够牢固的把所装器件支撑在一定的位置；
- e) 能保持器件引线不发生变形；
- f) 没有锋利的棱角；
- g) 能安全容易的移动、检查和替换器件；
- h) 一般不使用聚氯乙烯、氯丁橡胶、乙烯树脂和聚硫化物等材料，也不允许使用有硫、盐、酸、碱等腐蚀成分的材料，使用具有低放气指数、低尘粒脱落的材料制造为宜。

7.3.3 运输和贮存

器件在运输和贮存过程中，至少应满足以下要求：

- a) 运输：在避免雨、雪直接影响的条件下，装有产品的包装箱可以用任何运输工具运输。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。
- b) 贮存：包装好的产品应贮存在环境温度为 16℃~28℃，相对湿度不大于 30%~70%，周围没有酸、碱或其它腐蚀性气体且通风良好的库房里。

八、用户关注产品信息

8.1 产品鉴定信息

鉴定产品批次		1713
鉴定执行标准	总规范名称及编号	半导体集成电路总规范 (GJB 597B-2012)
	详细规范名称及编号	半导体集成电路 BLV3108VS1372RH 型辐射加固 3V CMOS 八路 LVDS 差分发送器详细规范 (Q/Zt 20532-2017)
	附加技术条件	—
	质量等级	CC
鉴定情况	鉴定试验日期	2017. 10. 11~2018. 7. 31
	鉴定试验机构	军用电子元器件北京第一检测中心
	鉴定报告编号	BN17S047A

8.2 产品标识

BLV3108VS1372RH 产品标识如图 7 所示，“CC”为用户标识，“△△”为静电等级标识；“XXXX”为器件生产批次；“XXX”为序号。

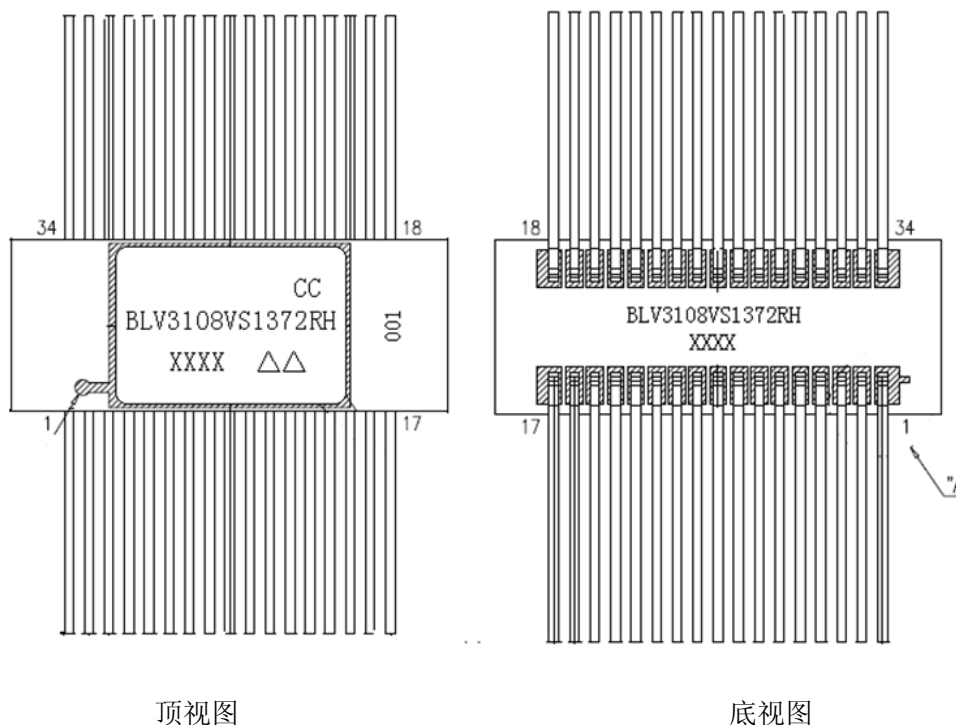


图7 BLV3108VS1372RH产品标识图



8.3 研制生产单位联系方式

通信地址：北京市丰台区东高地四营门北路 2 号

邮政编码：100076

联系部门：市场二部 电话/传真：010-67968115-6313/010-68757706

 抗加中心 时飞 电话：010-67968115-8030/13426116314



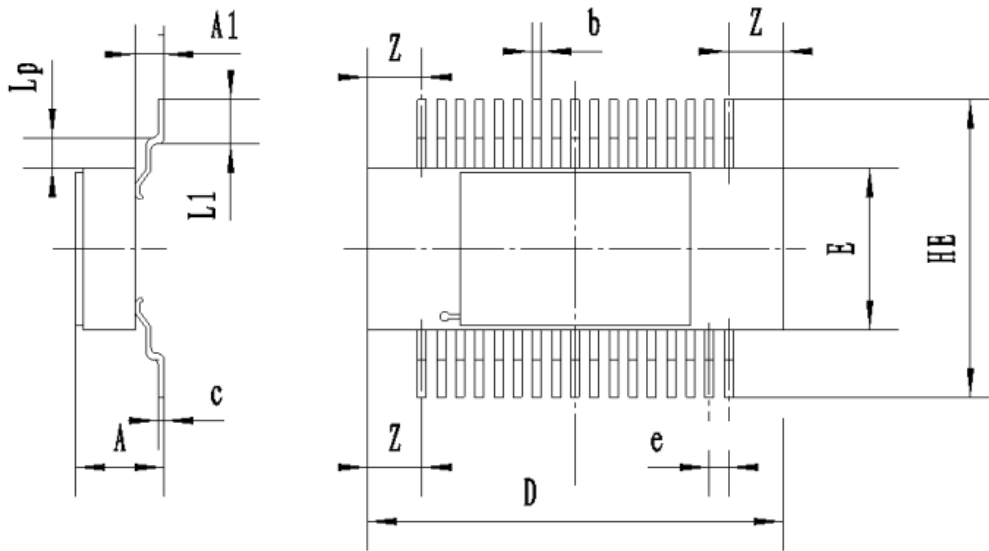
附录1 对应替代国外产品情况

替代国外型号：3DLV3108VS1372		国外生产商：3DPLUSE	
对比项	国内产品	国外产品	差异性、兼容性分析
电源电压	3.0V~3.6V	3.0V~3.6V	一致
输入高电平电压	2.0V~V _{DD}	2.0V~V _{DD}	一致
输入低电平电压	G _{ND} ~0.8V	G _{ND} ~0.8V	一致
输入电流	-10 μA~10 μA	-20 μA~20 μA	优于
差分输出电压	247mV~454mV	247mV~454mV	一致
互补输出的VOD变化量	≤50mV	≤50mV	一致
共模输出电压	1.125V~1.375V	≤1.375V	一致
输出三态电流	-1 μA~1 μA	-1 μA~1 μA	一致
带载总电流，使能打开	≤70mA	≤70mA	一致
输入电容	≤10pF	典型值 3pF	/
高到低传输延迟	≤4.5ns	≤4.5ns	一致
低到高传输延迟	≤4ns	≤4ns	一致
差分偏差	≤0.6ns	≤0.6ns	一致
最大工作速率	≤400Mbps	≤400Mbps	一致
电离总剂量	≥100K rad (Si)	≥50K rad (Si)	优于
SEL 阈值	≥75MeV·cm ² /mg	≥80MeV·cm ² /mg	一致(鉴定试验 ≥81.9MeV·cm ² /mg)
SEU 阈值	≥37MeV·cm ² /mg	/	/
封装形式	陶瓷 SOP34	金属 SOP34	不一致(外壳差异)
电路盖板电位	接G _{ND}	/	/

附录2 与对应国外产品的成型尺寸差异

3Dplus 公司的 3DLV3108VS1372 电路采用金属叠层封装的形式将两片 TI 公司 SN65LVDS31 型商用四路 LVDS 发送器封装在 CSOP34 封装内。BLV3108VS1372RH 为单片的八路 LVDS 驱动器,电路陶瓷管壳的外形厚度比 3DLV3108VS1372 的模块厚度要小,如参照 Q/W1422 相关要求,进行二次成形后外引脚尺寸会与 3DLV3108VS1372 存在差异,使用时需注意成形差异的影响。

按照 Q/W1422 相关要求的 BLV3108VS1372RH 电路成形图见附图 2-1,成形尺寸见表 2-1。参照 3DLV3108VS1372 成形参数,成形后的外形尺寸差异详见附表 2-2。



附图2-1 BLV3108VS1372RH成形图（参照Q/W1422要求）

表2-1 BLV3108VS1372RH成形外形尺寸（参照Q/W1422要求）

尺寸符号	数值（单位：毫米）		
	最小	公称	最大
A	2.5		3.8
A1	0.6	1.0	1.5
b	—	0.3	—
c	—	0.15	—
e	—	0.65	—
Z	—	1.85	—
D	—	14.1	—
E	5.35	5.5	5.65
HE	10.0	10.2	11.5
Lp	1.0	1.0	1.15
L1	1.25	1.5	1.75



表2-2 BLV3108VS1372RH与3DLV3108VS1372MS成形后外形尺寸对比

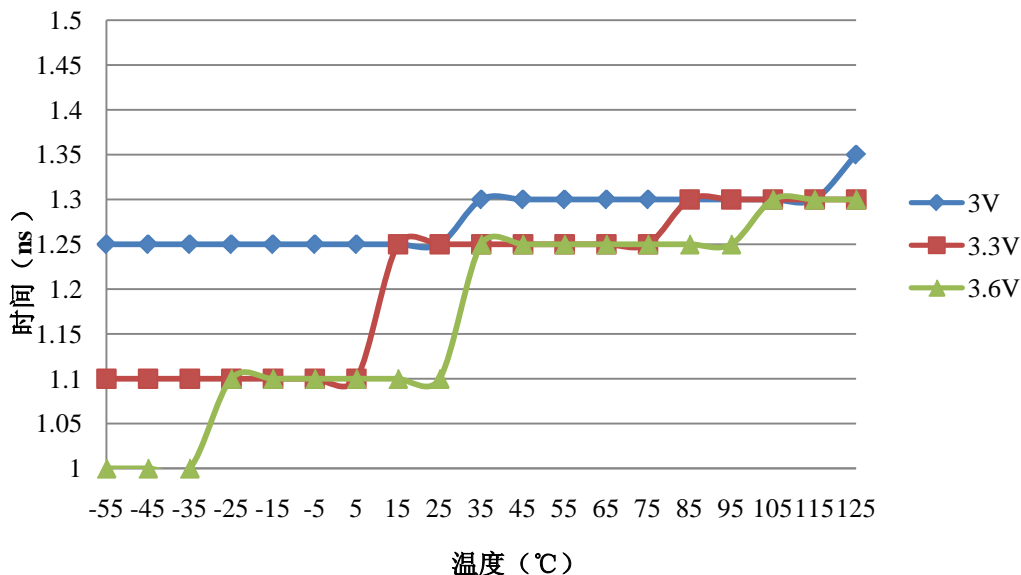
尺寸数值 (单位: 毫米)					
3DV3108VS1372			BLV3108VS1372RH		
国外尺寸参数	Min	Max	国内尺寸参数	Min	Max
A	4.95	5.55	A	2.5	3.8
A2	3.7	4.3	A2	1.9	2.3
D	13.9	14.3	D	13.9	14.3
E	7.8	8.2	HE	10.0	11.5
E1	5.4	5.6	E	5.35	5.65
b	0.3		b	0.25	0.35
e	0.65		e	0.65	

备注: BLV3108VS1372RH 中参数“HE”对应参数“E”, “E”对应参数“E1”, A2=A-A1。

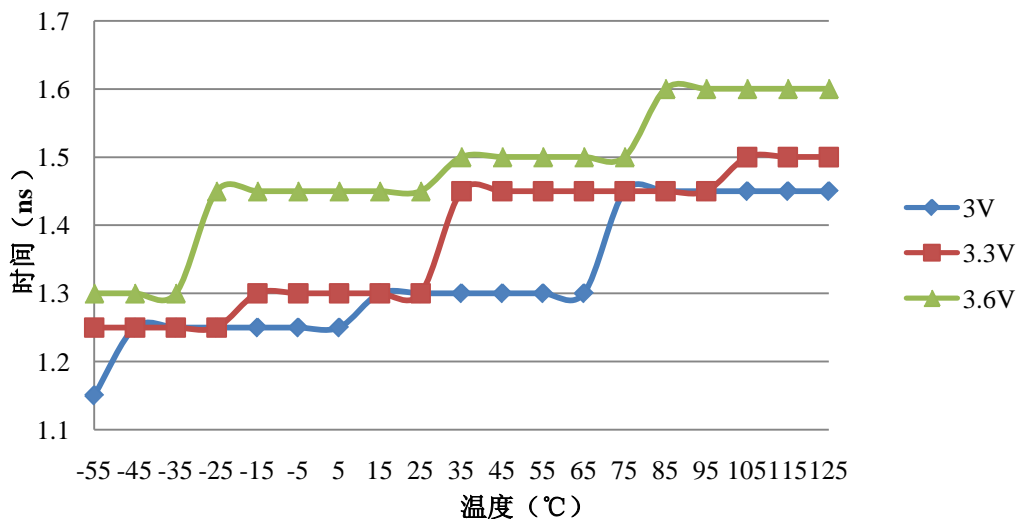
附录3特性曲线

附 3.1 传播延时与温度、电压变化关系

传播延时特性曲线如附图 3-1、附图 3-2 所示，BLV3108VS1372RH的 t_{PHL} 和 t_{PLH} 随温度的增加而小幅上升；在不同电源电压下，延时参数变化并不明显。



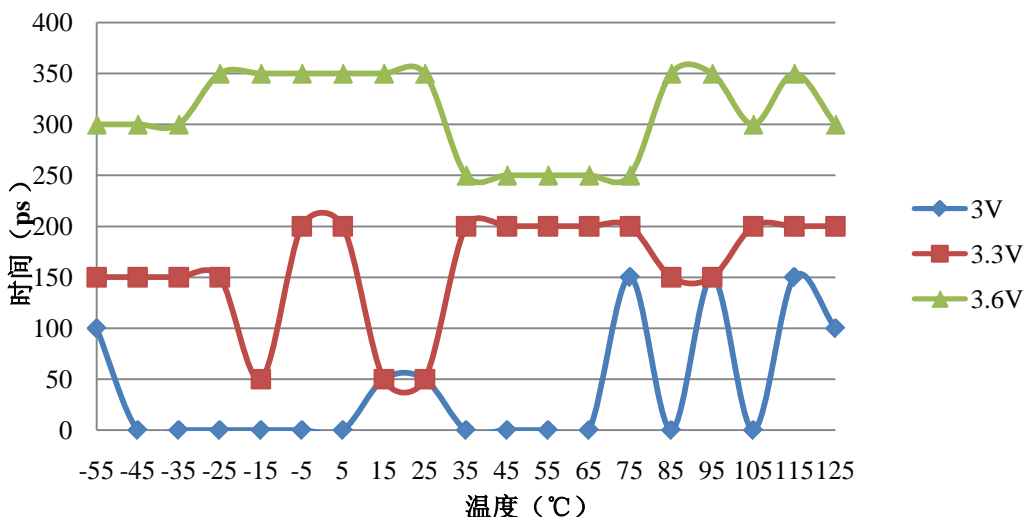
附图 3-1 不同电压下通道 $1t_{PHL}$ 参数与温度变化曲线



附图 3-2 不同电压下通道 $1t_{PLH}$ 参数与温度变化曲线

附 3.2 延时差分偏差与温度、电压变化曲线

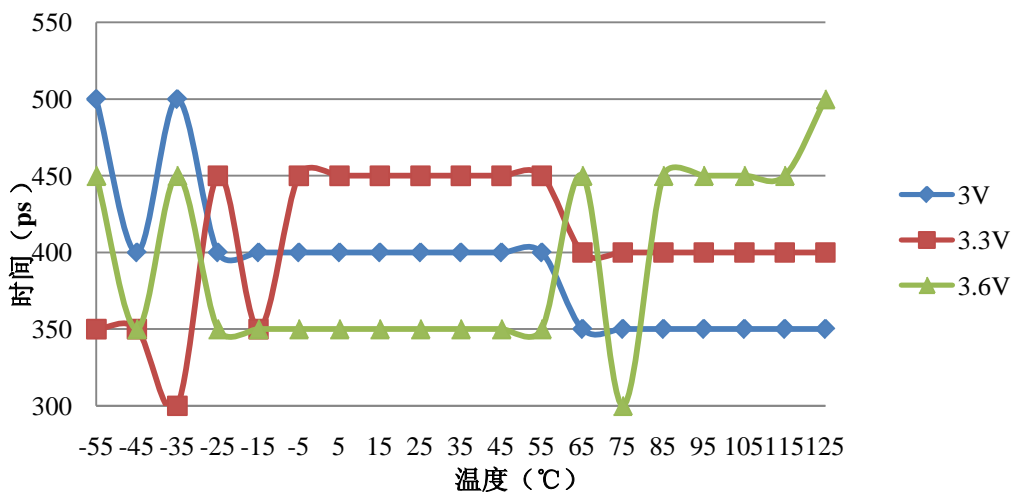
在电源电压分别为 $V_{DD}=3V$ 、 $V_{DD}=3.3V$ 、 $V_{DD}=3.6V$ 时，差分偏差 t_{SKD} 与温度（范围为 $-55^{\circ}C \sim 125^{\circ}C$ ，初始温度为 $-55^{\circ}C$ ，步进 $10^{\circ}C$ ）变化关系如附图 3-3 所示。从附图 3-3 可以看出，在 $-55^{\circ}C \sim 125^{\circ}C$ 温度范围内，差分偏差 t_{SKD} 的变化量为 $150ps$ ；在 $3V \sim 3.6V$ 电源电压范围内，差分偏差 t_{SKD} 的变化量在 $350ps$ 以内。



附图 3-3 不同电压下通道 $1t_{SKD}$ 参数与温度变化曲线

附 3.3 通道间偏差 t_{SK1} 参数与温度变化关系

在电源电压分别为 $V_{DD}=3V$ 、 $V_{DD}=3.3V$ 、 $V_{DD}=3.6V$ 时，通道间差分偏差 t_{SK1} 与温度（范围为 $-55^{\circ}C \sim 125^{\circ}C$ ，初始温度为 $-55^{\circ}C$ ，步进 $10^{\circ}C$ ）变化关系如附图 3-4 所示。从附图 3-4 可以看出，在 $-55^{\circ}C \sim 125^{\circ}C$ 温度范围内和 $3V \sim 3.6V$ 电源电压范围内，通道间差分偏差 t_{SK1} 的变化量均在 $500ps$ 以内。

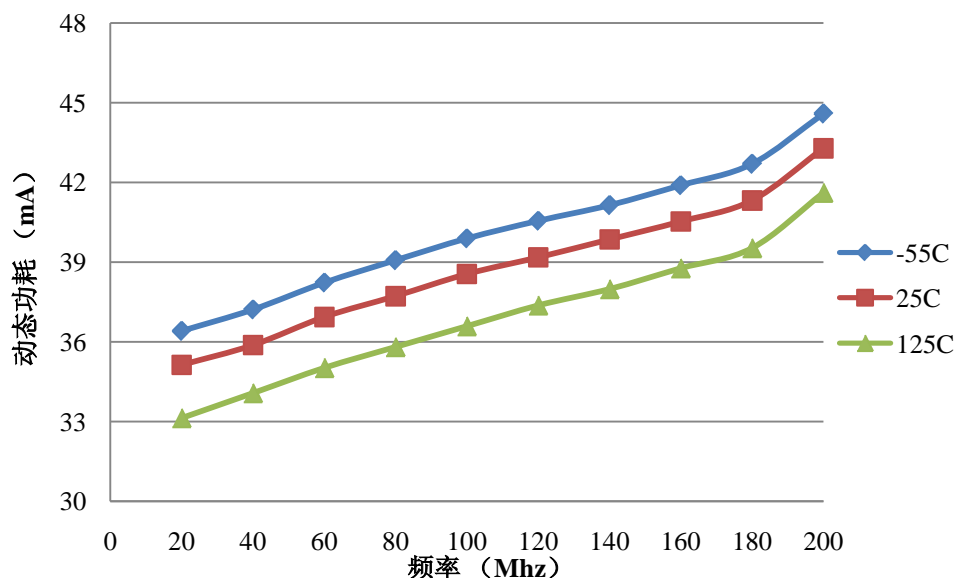


附图 3-4 不同电压下 t_{SK1} 参数与温度变化曲线

附 3.4 动态功耗与频率变化关系

1) 八路同时工作时动态功耗 (I_{DD1}) 参数与频率变化关系

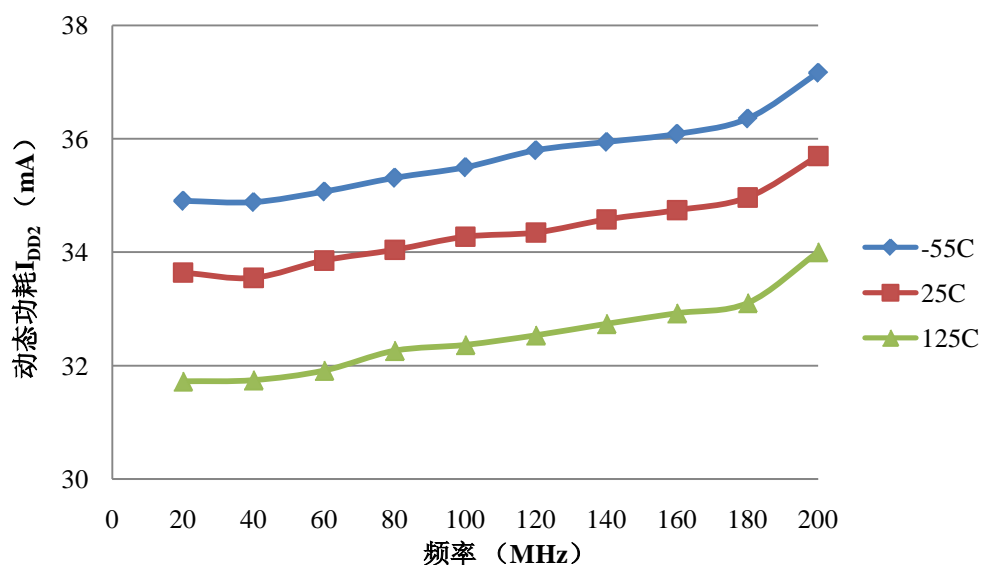
在电源电压为 $V_{DD}=3.6V$, 温度分别为 $-55^{\circ}C$ 、 $25^{\circ}C$ 、 $125^{\circ}C$ 时, 动态功耗 I_{DD1} 与频率变化曲线如附图 3-5 所示。从附图 3-5 可以看出, 动态功耗 I_{DD1} 随着频率的升高而升高, 在频率为 200MHz, 温度为 $-55^{\circ}C$ 时, I_{DD1} 参数最大。



附图 3-5 八路同时工作的动态功耗 I_{DD1} 参数与频率变化曲线

2) 一路工作时动态功耗 (I_{DD2}) 参数与频率变化关系

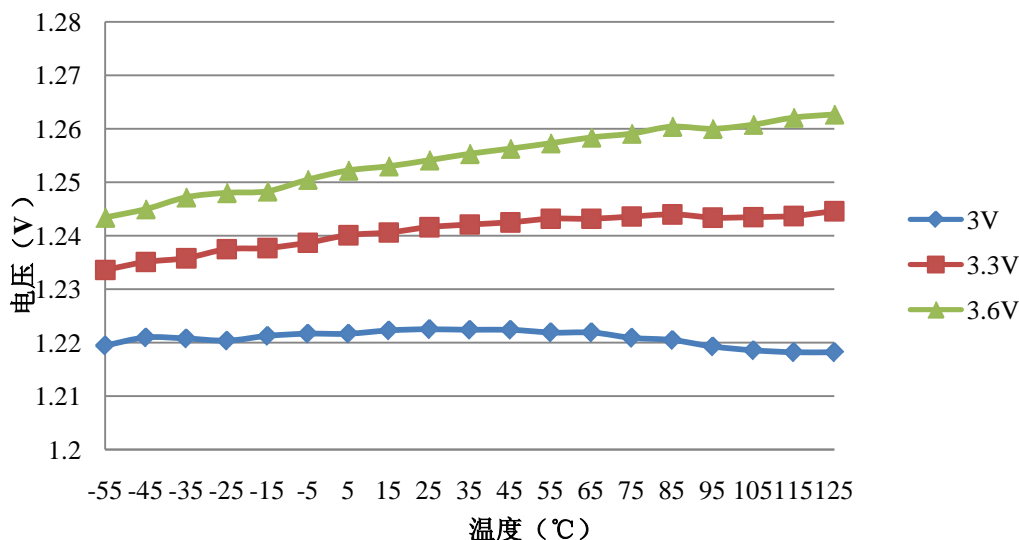
在电源电压为 $V_{DD}=3.6V$, 温度分别为 $-55^{\circ}C$ 、 $25^{\circ}C$ 、 $125^{\circ}C$ 时, 动态功耗 I_{DD2} 与频率变化曲线如附图 3-6 所示。从附图 3-6 可以看出, 动态功耗 I_{DD2} 随着频率的升高而升高, 在频率为 200MHz, 温度为 $-55^{\circ}C$ 时, I_{DD2} 参数最大。



附图 3-6 一路工作的动态功耗 I_{DD2} 参数与频率变化曲线

附 3.5 输出共模电压和温度变化的关系

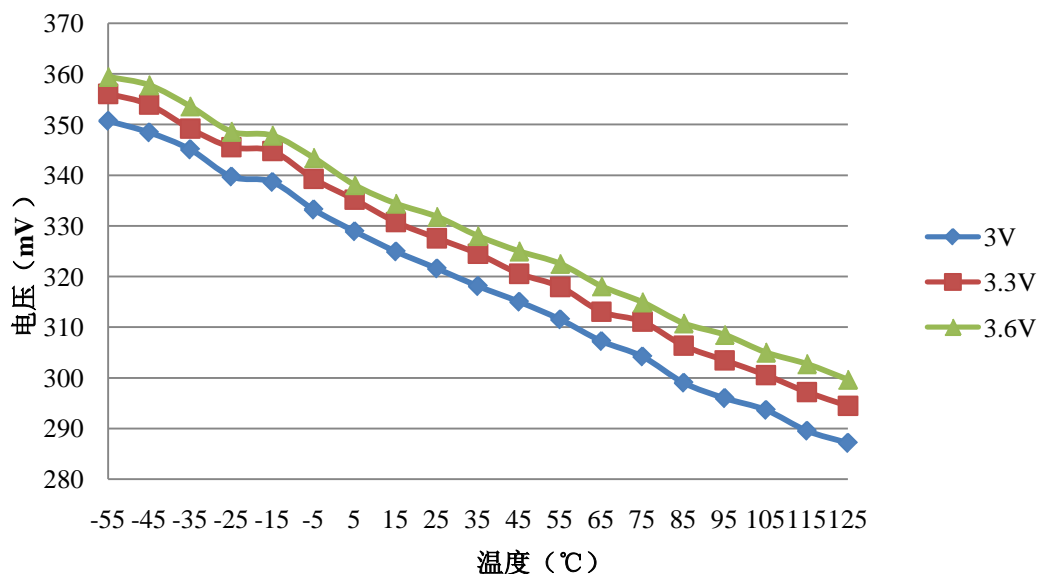
在电源电压分别为 $V_{DD}=3V$, $V_{DD}=3.3V$, $V_{DD}=3.6V$ 下, 输出共模电压随温度 (范围为 $-55^{\circ}C \sim 125^{\circ}C$, 初始温度为 $-55^{\circ}C$, 步进 $10^{\circ}C$) 的变化曲线如附图 3-7 所示。从附图 3-7 可以看出, 共模电压随温度的变化趋势不明显; 同一温度下, 电源电压越高, 输出共模电压越高。



附图 3-7 不同电源电压下 V_{os} 随温度的变化曲线

附 3.6 输出差模电压和温度的变化关系

在电源电压分别为 $V_{DD}=3V$, $V_{DD}=3.3V$, $V_{DD}=3.6V$ 下, 输出差模电压随温度 (范围为 $-55^{\circ}C \sim 125^{\circ}C$, 初始温度为 $-55^{\circ}C$, 步进 $10^{\circ}C$) 的变化曲线如附图 3-8 所示。从附图 3-8 可以看出, 差模电压随温度升高呈下降趋势; 同一温度下, 电源电压越高, 输出差模电压越高。



附图 3-8 不同电源电压下 V_{od} 随温度的变化曲线