

Ver 2.0

5V CMOS 四路 LVDS 差分接收器

产品使用手册

产品型号: **B54LVDS032**



北京微电子技术研究所



版本控制页

版本号	发布日期	更改章节	更改说明	备注
1.0	2018.4.11	—	—	
2.0	2018.8.15	—	更改模板（按新模板进行正文章节调整，且原附录内容按新模板移入对应正文章节），修改笔误；	
		一	更新可兼容的国外产品	
		三	更新图 3、表 3 成型图及成型尺寸	
		五	修正图 5、图 6 的 CMOS 信号转换沿中心点电压值	
		七	增加 7.1.1 对电源的要求	
		八	增加第八章用户关注产品信息	
		附录 1	增加附录 1 对应替代国外产品情况	



目 录

一、产品特性	1
1.1 产品特点	1
1.2 产品用途及应用范围	1
二、产品工作条件	2
2.1 绝对最大额定值	2
2.1 绝对最大额定值	2
2.2 推荐工作条件	2
2.3 热特性参数	2
三、封装及引出端说明	2
3.1 引出端排列	2
3.2 外形尺寸说明	3
四、产品功能	5
4.1 产品的基本工作原理	5
4.2 功能描述	6
五、产品电特性	7
六、典型应用	10
七、应用注意事项	10
7.1 产品应用说明	10
7.2 产品防护	11
八、用户关注产品信息	12
8.1 产品鉴定信息	12

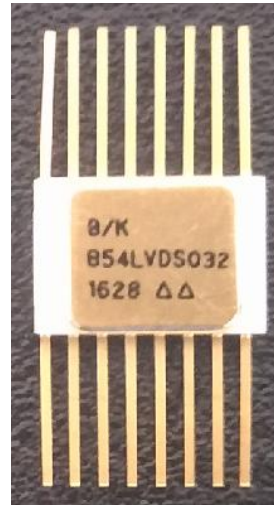


8.2 产品标识	13
8.3 研制生产单位联系方式	13
附录 1 对应替代国外产品情况	14

一、产品特性

1.1 产品特点

- 可处理 155Mbps(77.7MHz)频率的信号
- 340mV 标准差分输入电压
- 5V 工作电压
- 输出 TTL 兼容
- 采用低功耗的 CMOS 工艺
- 最大 8ns 的数据传输延时
- 最大 3ns 的低高-高低数据传输延时差异
- 16 引脚扁平封装
- 兼容美军标 5962-95834 (不含抗辐射指标)
- 兼容 Cobham 公司 UT54LVDS032 (不含抗辐射指标)
- 兼容 TI 公司 DS90C032QML、DS90C032QML-SP (不含抗辐射指标)
- 符合 IEEE 1596.3SCI LVDS 标准
- 符合 ANSI/TIA/EIA 644-1996 LVDS 标准



1.2 产品用途及应用范围

B54LVDS032 型电路是针对低功耗、高速率应用所设计的军用 5V CMOS 四路 LVDS 接收器。采用低电压差分信号传输 (LVDS) 技术, 电路可支持超过 155.5 Mbps (77.7 MHz) 的数据传输速率。

B54LVDS032 型电路接收 LVDS 信号输入(差分电压典型值 340mV) 并将其转换为 5V CMOS/TTL 电平信号输出。电路有三态功能, 可支持输出多路复用。接收器输入端设计失效保护电路, 支持输入端开路、短路及端接 100Ω 电阻情况, 对于所有输入失效条件, 接收器输出高电平。

B54LVDS032 电路与 B54LVDS031 型 5V CMOS 四路 LVDS 差分发送器电路配合使用, 可替代高功耗的 PECL 器件的高速点对点接口应用。

二、产品工作条件

2.1 绝对最大额定值

2.1 绝对最大额定值

参数名称	参数符号	参数值	单位
电源电压	V_{DD}	-0.3~6	V
输入、输出电压	V_I 、 V_O	-0.3~ $V_{DD}+0.3$	V
最大功耗	P_D	<1.25	W
贮存温度	T_{stg}	-65~150	℃
耐焊接温度 (10s)	T_h	<260	℃
结温	T_j	<150	℃

2.2 推荐工作条件

参数名称	参数符号	参数值	单位
电源电压	V_{DD}	4.5~5.5	V
使能端输入电压	V_{I-EN}	0~ V_{DD}	V
LVDS 端输入电压	V_{I-LVDS}	0V ~2.4 V	V
工作温度范围	T_A	-55~125	℃
工作速度	f	≤155.5	Mbps

2.3 热特性参数

参数名称	参数符号	测试条件	参数值	单位
热阻, 结到壳	θ_{JC}		10	℃/W

三、封装及引出端说明

3.1 引出端排列

B54LVDS032 引脚排列顺序如**错误！未找到引用源。**所示。

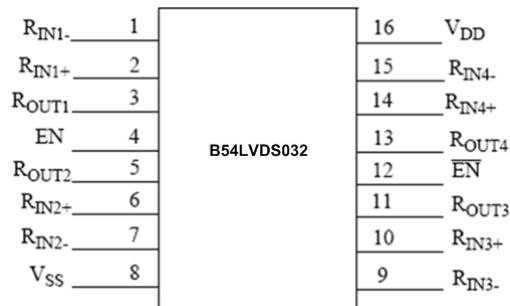


图1 B54LVDS032 引脚示意图

B54LVDS032 引脚定义见表 1:

表1 B54LVDS032 引脚列表

引出端序号	符号	名称	引出端序号	符号	名称
1	R _{IN1-}	第一路数据输入负端	9	R _{IN3-}	第三路数据输入负端
2	R _{IN1+}	第一路数据输入正端	10	R _{IN3+}	第三路数据输入正端
3	R _{OUT1-}	第一路数据输出	11	R _{OUT3}	第三路数据输出
4	EN	高电平有效使能端	12	$\overline{\text{EN}}$	低电平有效使能端
5	R _{OUT2}	第二路数据输出	13	R _{OUT4}	第四路数据输出
6	R _{IN2+}	第二路数据输入正端	14	R _{IN4+}	第四路数据输入正端
7	R _{IN2-}	第二路数据输入负端	15	R _{IN4-}	第四路数据输入负端
8	V _{SS}	地	16	V _{DD}	电源

3.2 外形尺寸说明

B54LVDS032 型 5V CMOS 四路 LVDS 差分接收器电路封装及外形尺寸见表 2 和图 2。

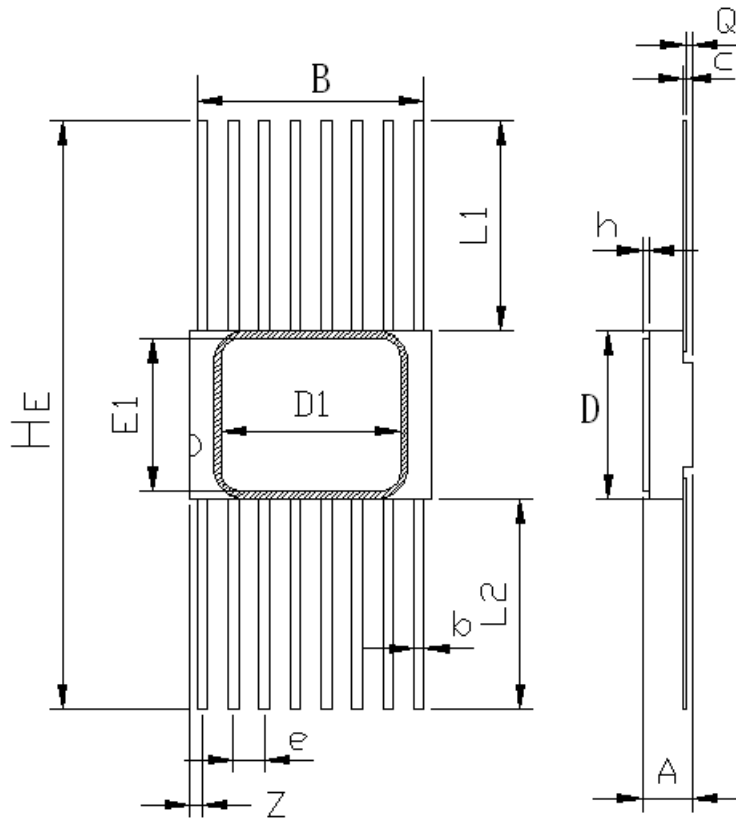


图2 FP16 外壳尺寸示意图

表2 FP16 外形尺寸

尺寸符号	数值 (单位: 毫米)		
	最小	公称	最大
A	1.60	—	2.50
B	8.94	—	9.69
b	0.25	—	0.54
c	0.07	—	0.20
D	6.55	—	7.25
e	—	1.27	—
He	18.76	19.41	20.06
Q	0.13	—	0.90
L1	5.75	—	6.75
L2	5.75	—	6.75
Z	—	—	1.27
D1	—	7.366	—
E1	—	6.223	—
h	0.22	—	0.28

B54LVDS032 推荐的 FP16 成型及成型尺寸见表 3 和图 3。

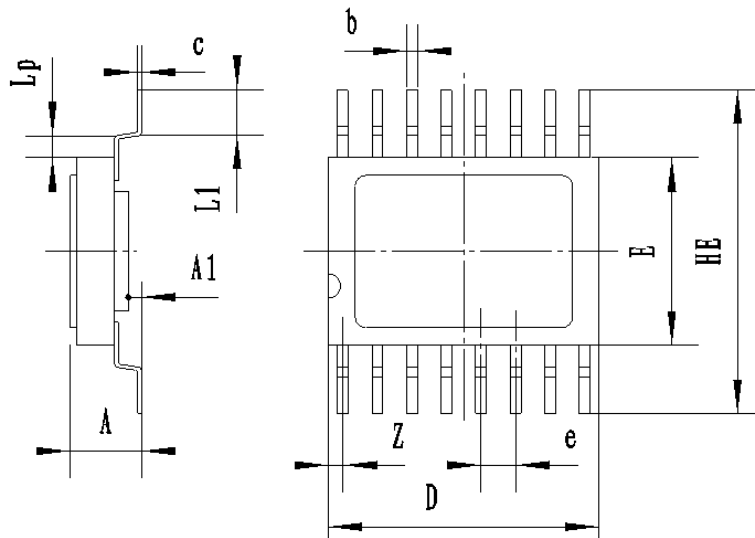


图3 FP16 成型尺寸示意图

表3 FP16 成型尺寸

尺寸符号	数值 (单位: 毫米)		
	最小	公称	最大
A	2.3	—	3.2
A1	0.5	0.75	1.01
b	—	0.43	—
c	—	0.13	—
e	—	1.27	—
Z	—	0.53	—
D	—	9.96	—
E	6.76	6.91	7.06
HE	11.76	12.91	14.06
L1	1.5	2	2.5
LP	1.0	1.0	1.15

四、产品功能

B54LVDS032 电路用于接收 LVDS 信号输入并将其转换为 CMOS/TTL 电平信号输出。电路有三态功能,可支持输出多路复用。接收器输入端设计失效保护电路,支持输入端开路、短路及端接 100Ω 电阻情况,对于所有输入失效条件,接收器输出高电平。

4.1 产品的基本工作原理

5V CMOS 四路 LVDS 差分接收器电路的功能框图如图 4 所示。

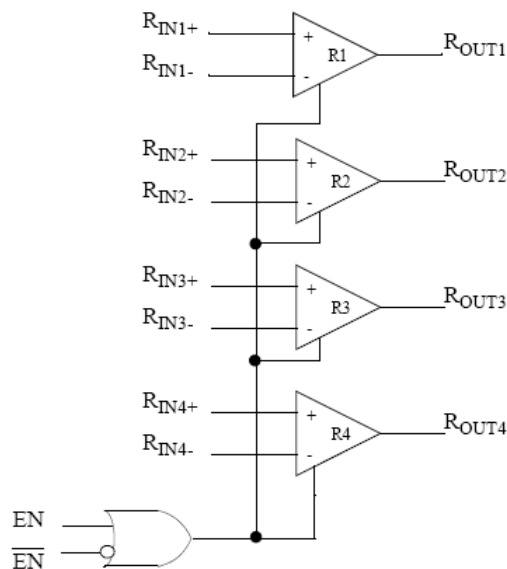


图4 B54LVDS032 结构图

4.2 功能描述

本产品主要包含高灵敏度比较器模块、使能控制模块及输出缓冲模块等。在内部模块的控制下，任一状态的 LVDS 差分信号输入都对应着一个确定的 CMOS/TTL 输出状态，即将 LVDS 输入信号转换成为 CMOS/TTL 输出信号。

对应 LVDS 输入正端与负端电平之差为正的 340mV，输出为‘高’状态 CMOS/TTL 信号；对应 LVDS 输入正端与负端电平之差为负的 340mV，输出为‘低’状态 CMOS/TTL 信号。

器件的真值表如表 4：

表4 真值表

使能信号		输入	输出
EN	$\overline{\text{EN}}$	$R_{\text{IN}+} - R_{\text{IN}-}$	R_{OUT}
L	H	X	Z
使能信号的其他组合		$V_{\text{ID}} \geq 0.1\text{V}$	H
		$V_{\text{ID}} \leq -0.1\text{V}$	L
		全部的Fail-safe情况	H

接收器失效保护电路说明：

B54LVDS032 型接收器为高增益、高速器件，能够将小差分信号（20mV）放大为 TTL 逻辑电平信号。由于接收器的高增益，使用时应注意使有效信号要远离噪声源。

接收器电路的内部失效保护电路为端口提供很小的拉电流或灌电流，可在接收器 LVDS 输入端浮空、端接或者短路的情况下为电路提供失效保护（使电路输出为稳定的高电位）。

输入开路： B54LVDS032 共有四路接收器，如果仅使用 1、2 或 3 路接收电路时，未使用到的通道输入端应当保持开路。不要将未使用到的接收器输入接地或者接其他固定电平。输入端由内部的高阻上拉/下拉电阻偏置，可使输出保持高电位。这种内部电路可在输入开路的情况下确保稳定的高电位输出。

输入端接： 如果发送器电路端未连接（电缆未插），或者发送器电路处于三态输出或是处于关电状态，即使在靠近接收器输入端的电缆终端已端接 100Ω 的匹配电阻，接收器的输出也为高。这种情况下的电缆可以看成是浮空的天线，会接收噪声信号。如果电缆捕捉到的差分噪声信号大于 10mV，接收器有可能将其视为有效的数据信号进行转换。所以应用过程中，为了使噪声信号成为共模干扰而不是差模信号，驱动器与接收器需要使用平衡电缆进行连接。双绞线可提供比扁平电缆线更好的平衡。

输入短路：如果故障出现使接收器 LVDS 输入端短接，导致输入端的输入差分电压为 0V，接收器的输出仍然保持高电平状态。短路失效保护功能并不支持电路全部的输入共模范围(VSS 至 2.4V)，仅在输入端短路并且没有外部共模电平提供时有效。电路对于输入短路的保护很容易受外界干扰的影响而不稳定工作。不可以将输入短路作为电路的常态工作状态，应尽量避免输入短路的情况出现。

五、产品电特性

除另有规定外，电特性应按表 5 的规定，并适用于全温度范围。交流参数示意图见图 5，图 6。

表5 电参数特性表

参数	符号	条件	极限值		单位	分组
		(除另有规定外, $-55^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$ $V_{DD}=5 \times (1 \pm 10\%) \text{V}$)	最小	最大		
输入高电平电压	V_{IH}	(TTL)	2.0	V_{DD}	V	A1 A2 A3
输入低电平电压	V_{IL}	(TTL)	GND	0.8	V	
输出高电平电压	V_{OH}	$I_{OH} = -0.4\text{mA}$, $V_{DD} = 4.5\text{V}$	4.0	—	V	
输出低电平电压	V_{OL}	$I_{OL} = 2\text{mA}$, $V_{DD} = 4.5\text{V}$	—	0.3	V	
输入电流	I_{IN}	对于输入 $V_{IN} = 0$ 和 2.4 , $V_{DD} = 5.5\text{V}$	-10	10	μA	
		对于使能 $\text{EN}/\overline{\text{EN}} = 0$ 和 5.5V , $V_{DD} = 5.5\text{V}$	-10	10	μA	
差分输入高电平阈值	V_{TH}	$V_{CM} = +1.2\text{V}$	—	100	mV	
差分输入低电平阈值	V_{TL}	$V_{CM} = +1.2\text{V}$	-100	—	mV	
输入钳位电压	V_{CL}	$I_{CL} = -18 \text{mA}$	-1.5	—	V	
输出短路电流 ^a	I_{OS}	使能开启, $V_{OUT} = 0\text{V}$	-130	-15	mA	
输出三态电流	I_{OZ}	使能关闭, $\text{EN} = 0\text{V}$, $\overline{\text{EN}} = 5\text{V}$, $V_{OUT} = 0\text{V}$ 或 V_{DD} , $V_{DD} = 5.5\text{V}$	-10	10	μA	
无负载电源电流, 使能开启	I_{CC}	$\text{EN} = \overline{\text{EN}} = 0\text{V}$ 或 V_{DD} , $V_{DD} = 5.5\text{V}$	—	11.0	mA	
无负载电源电流, 使能关闭	I_{CCZ}	$\text{EN} = 0\text{V}$, $\overline{\text{EN}} = V_{DD}$, $V_{DD} = 5.5\text{V}$, 输入开路	—	11.0	mA	
功能测试		$f = 77.7\text{MHz}$, $V_{DD} = 4.5\text{V}$	—	—	—	—
高到低传输延迟	t_{PHLD}	见图 5	—	8.0	ns	A9 A10 A11
低到高传输延迟	t_{PLHD}	见图 5	—	8.0	ns	
差分偏差	t_{SKD}	$V_{ID} = 200\text{mV}$, 测 $t_{PLHD} - t_{PHLD}$	—	3.0	ns	
通道间偏差 ^b	t_{SK1}		—	3.0	ns	
芯片间偏差 ^c	t_{SK2}		—	7.0	ns	
高到高阻态的时间	t_{PHZ}	见图 6	—	20	ns	
低到高阻态的时间	t_{PLZ}	见图 6	—	20	ns	
高阻态到高的时间	t_{PZH}	见图 6	—	20	ns	
高阻态到低的时间	t_{PZL}	见图 6	—	20	ns	

注 1: A1(常温静态测试)、A2(高温静态测试)、A3(低温静态测试)、A9(常温交流测试)、A10(高温交流测试)、A11(低温交流测试)。

注 2: 除特别说明外, $V_{DD} = 4.5\text{V}$ 和 5.5V 。

注 3: 所有直流参数, 定义流入器件管脚的电流为正向, 流出管脚的电流为负。所有电压值均为对地电压。

注 4: 除特别说明外, 以上所有开关参数指标均在以下激励信号源下测得: 频率 1MHz , 输出阻抗 50Ω , 上升时间小于等于 1ns , 下降时间小于等于 1ns 。

^a 输出短路电流只关注绝对值, 负号只用于表明电流方向。测量时每次只短路一路输出, 并且不要超出最大结温要求。

^b 通道间偏差定义为, 同一芯片的各通道上加相同激励时各通道的传输延迟时间之差。

^c 芯片间偏差定义为最大与最小差分传输延迟之差。

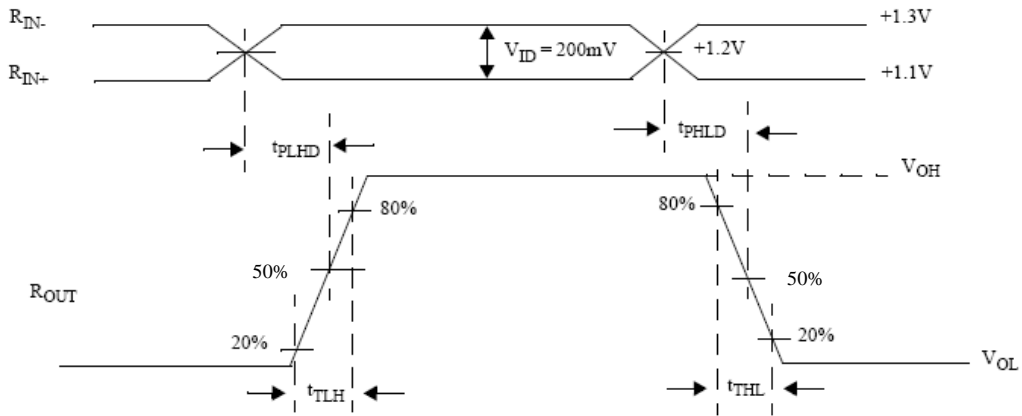


图5 传输延时波形示意图

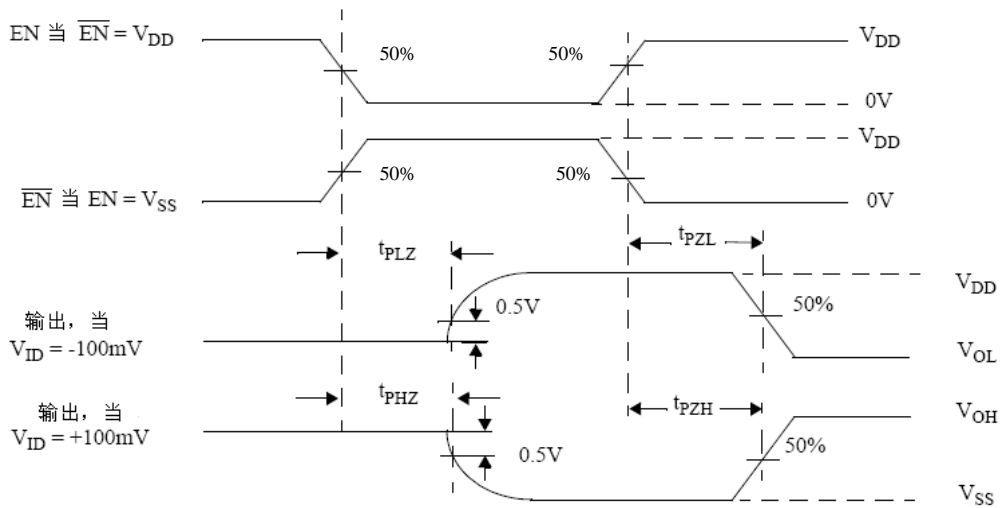


图6 三态延时波形图

六、典型应用

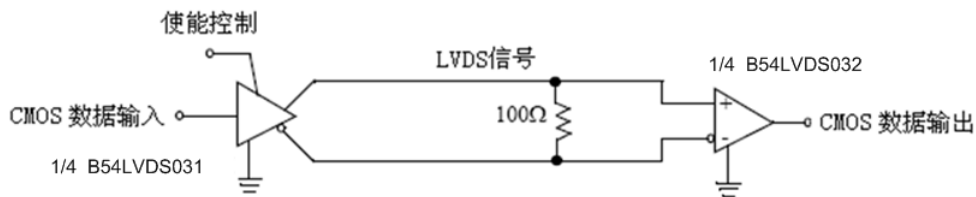


图7 B54LVDS032 应用示意图

作为低压差分信号传输电路的接收器电路，B54LVDS032 将输入的 LVDS 信号电平快速转化为 CMOS 电平或 TTL 电平输出。B54LVDS032 电路与 B54LVDS031 型 5V CMOS 四路 LVDS 差分发送器电路配合使用，可实现信号的高速可靠传输。

B54LVDS032 型接收器通常应用于如图 7 所示的简单点对点的传输结构，器件具有一致地电位。对于高速（边沿速率），这种点对点连接有清晰的路径，可以提供最佳的信号质量。接收器与驱动器通过平衡介质进行连接，平衡介质如标准双绞线，并行同轴电缆或者 PCB 走线。通常，介质的特征阻抗为 100Ω 。使用时需要一个与介质差分阻抗相匹配的 100Ω 终端电阻，并且终端电阻应布放在尽量靠近接收器输入端处。终端电阻将驱动电流转换为接收器的输入电压。

B54LVDS032 的其他应用电路结构参照《Q/W 1216-2009 航天器用 LVDS 接口电路设计准则》。

七、应用注意事项

7.1 产品应用说明

7.1.1 对电源的要求

必须注意 B54LVDS032 器件的上电次序，通常原则是：首先加电源，再加信号。电源上电时间应大于 $1\mu\text{s}$ 。

电路工作电压范围 $4.5\text{V}\sim 5.5\text{V}$ ，电源电压绝对最大额定值为 $-0.3\text{V}\sim +6.0\text{V}$ ，电路要工作在使用条件范围内，以免过电应力造成电路损坏。

7.1.2 冷备份功能

冷备份功能是指当电路的电源端接 GND 电位时，从端口到电源的直流通路为高阻状态。

B54LVDS032 电路的所有端口均不具备冷备份功能。

7.1.3 未使用输入端的处理

B54LVDS032 是四路接收器器件，如果仅使用 1、2 或 3 路接收电路时，未使用到的通道输入端可以采用下面两种端接方式的一种。

1、保持开路。电路内部设计有保护电路，在输入端悬空时，接收器输入端由内部的高阻上拉/下拉电阻偏置，可使输出保持高电位，使接收器在输入开路的情况下确保稳定的高电位输出，使用时可将未使用输入端悬空。

2、将器件未使用通道的“+”输入端电压上拉，“-”输入端电压下拉，使未使用通道的输出保持高电位。

7.2 产品防护

7.2.1 电装及防护措施

器件应采取防静电措施进行操作。推荐下列操作措施：

- a) 器件应在防静电的工作台上操作；
- b) 试验设备和器具应接地；
- c) 不能直接用手触摸器件引线，应佩戴防静电指套和腕带；
- d) 器件应存放在防静电材料制成的容器中；
- e) 生产、测试、使用及流转过程工作区域内应避免使用能引起静电的塑料、橡胶或丝织物；
- f) 相对湿度应尽可能保持在 20%~70%。

7.2.2 包装

器件包装应至少满足以下要求：

- a) 由无腐蚀的材料制成；
- b) 具有足够的强度，能够经得起搬运过程中的震动和冲击；
- c) 用抗静电材料涂敷过或浸渍过，具备足够的抗静电能力；
 - d) 能够牢固的把所装器件支撑在一定的位置；
- e) 能保持器件引线不发生变形；
- f) 没有锋利的棱角；
- g) 能安全容易的移动、检查和替换器件；

h) 一般不使用聚氯乙烯、氯丁橡胶、乙烯树脂和聚硫化物等材料,也不允许使用有硫、盐、酸、碱等腐蚀成分的材料,使用具有低放气指数、低尘粒脱落的材料制造为宜。

7.2.3 运输和贮存

器件在运输和贮存过程中,至少应满足以下要求:

a) 运输:在避免雨、雪直接影响的条件下,装有产品的包装箱可以用任何运输工具运输。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。

b) 贮存:包装好的产品应贮存在环境温度为 15℃~25℃,相对湿度不大于 25%~65%,周围没有酸、碱或其它腐蚀性气体且通风良好的库房里。

八、用户关注产品信息

8.1 产品鉴定信息

鉴定产品批次		1048
鉴定执行标准	总规范名称及编号	半导体集成电路总规范 (GJB 597A-1996) ^注
	详细规范名称及编号	半导体集成电路 B54LVDS032 型 5V CMOS 四路 LVDS 差分接收器详细规范(Q/Zt 20097-2010) ^注
	附加技术条件	—
	质量等级	B
鉴定情况	鉴定试验日期	
	鉴定试验机构	北京微电子技术研究所
	鉴定报告编号	
注:详细规范已更新至 Q/Zt 200097A-2017,执行总规范 GJB 597B-2012		

8.2 产品标识

B54LVDS032 产品标识如图 8 所示，标志图中“B54LVDS032”为器件型号，器件型号后增加可靠性增长标志“/K”；“XXXX”为器件批次；“△△△B”为静电标识；“001”为器件序号。

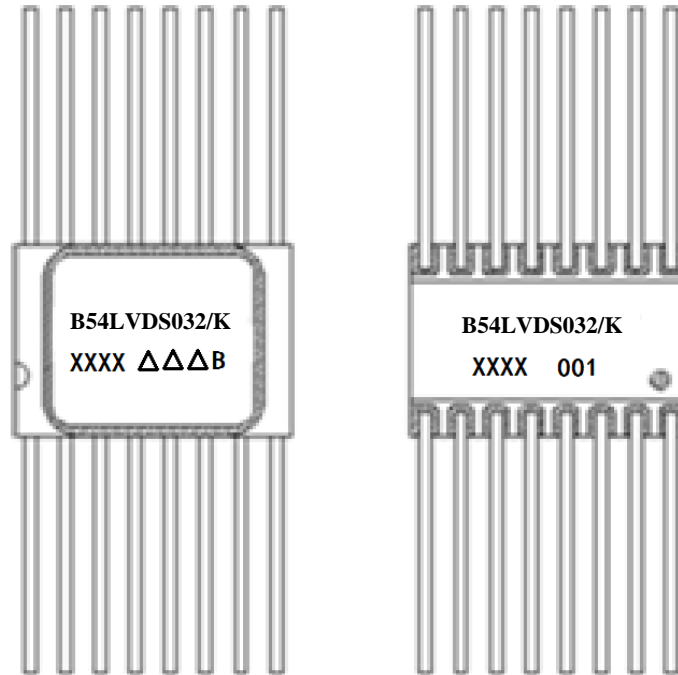


图8 B54LVDS032 产品标识图

8.3 研制生产单位联系方式

通信地址：北京市丰台区东高地四营门北路2号

邮政编码：100076

联系部门：市场二部

抗加中心

电话/传真：010-67968115-6313/010-68757706

电话：010-67968115-8049/18210293005

附录 1 对应替代国外产品情况

替代国外型号：UT54LVDS032		国外生产商：Cobham	
对比项	国内产品	国外产品	差异性、兼容性分析
电源电压	4.5V~5.5V	4.5V~5.5V	一致
输入高电平电压	2.0V~V _{DD}	2.0V~V _{DD}	一致
输入低电平电压	G _{ND} ~0.8V	G _{ND} ~0.8V	一致
输出高电平电压	≥4V	≥4V	一致
输出低电平电压	≤0.3V	≤0.3V	一致
输入电流	-10μA~10μA	-10μA~10μA	一致
差分输入高电平阈值	≤100mV	≤100mV	一致
差分输入低电平阈值	≥-100mV	≥-100mV	一致
输入钳位电压	≥-1.5V	≥-1.5V	一致
输出短路电流	-130mA~-15mA	-130mA~-15mA	一致
输出三态电流	-10μA~10μA	-10μA~10μA	一致
无负载电源电流，使能开启	≤11mA	≤11mA	一致
无负载电源电流，使能关闭	≤11mA	≤11mA	一致
高到低传输延迟	≤8ns	≤8ns	一致
低到高传输延迟	≤8ns	≤8ns	一致
差分偏差	≤3ns	≤3ns	一致
通道间偏差	≤3ns	≤3ns	一致
芯片间偏差	≤7ns	≤7ns	一致
高到高阻态的时间	≤20ns	≤20ns	一致
低到高阻态的时间	≤20ns	≤20ns	一致
高阻态到高的时间	≤20ns	≤20ns	一致
高阻态到低的时间	≤20ns	≤20ns	一致
最大工作速率	≤155.5Mbps	≤155.5Mbps	一致
抗静电能力（人体模型）	8000V	2000V	优于
电离总剂量	/	≥1M rad (Si)	不一致
SEL 阈值	/	≥100MeV·cm ² /mg	不一致（受限于国内试验条件）
电路盖板电位	浮空	接 G _{ND}	不一致(外壳差异)

替代国外型号：DS90C032QML DS90C032QML-SP			国外生产商：TI
对比项	国内产品	国外产品	差异性、兼容性分析
电源电压	4.5V~5.5V	4.5V~5.5V	一致
输入高电平电压	2.0V~V _{DD}	2.0V~V _{DD}	一致
输入低电平电压	G _{ND} ~0.8V	G _{ND} ~0.8V	一致
输出高电平电压	≥4V	≥3.8V	差异不影响兼容替代
输出低电平电压	≤0.3V	≤0.3V	一致
输入电流	-10μA~10μA	-10μA~10μA	一致
冷备份电流	/	-10μA~10μA	国产电路无冷备份功能
差分输入高电平阈值	≤100mV	≤100mV	一致
差分输入低电平阈值	≥-100mV	≥-100mV	一致
输入钳位电压	≥-1.5V	≥-1.5V	一致
输出短路电流	-130mA~-15mA	-100mA~-15mA	差异不影响兼容替代
输出三态电流	-10μA~10μA	-10μA~10μA	一致
无负载电源电流，使能开启	≤11mA	≤11mA	一致
无负载电源电流，使能关闭	≤11mA	≤11mA	一致
高到低传输延迟	≤8ns	≤8ns	一致
低到高传输延迟	≤8ns	≤8ns	一致
差分偏差	≤3ns	≤3ns	一致
通道间偏差	≤3ns	≤3ns	一致
芯片间偏差	≤7ns	≤7ns	一致
高到高阻态的时间	≤20ns	≤20ns	一致
低到高阻态的时间	≤20ns	≤20ns	一致
高阻态到高的时间	≤20ns	≤20ns	一致
高阻态到低的时间	≤20ns	≤20ns	一致
最大工作速率	≤155.5Mbps	≤155.5Mbps	一致
抗静电能力（人体模型）	8000V	2000V	优于
电离总剂量	/	≥50K rad（Si）	差异不影响非宇航应用的兼容替代
SEL 阈值	/	≥100MeV·cm ² /mg	差异不影响非宇航应用的兼容替代