

Ver 1.4

辐照加固 1553B 总线控制器

# 产品使用手册

产品型号: **J61580/1(S3/S6)R**

**(B61580/1(S3/S6)RH)**



**北京微电子技术研究所**



### 版本控制页

版本号	发布日期	更改章节	更改说明	备注
V1.0	2014.05-		添加了用户应用的实例:包括软硬件的电路配置; 添加了变压器的选型和 1553 总线的接口, 添加了典型应用;	
V1.1	2016.01-		增加第八章应用要求	
V1.2	2017.01-		按新手册模板重新编制	
V1.3	2017.03		增加竞争访问时时序要求	
V1.4	2018.2		更改模板,修正笔误	



## 目 录

一、产品特性	5
二、产品概述	5
三、结构图	6
四、引脚定义	6
4.1 管脚特性及功能定义	6
4.2 电路型号说明：	9
五、产品描述	10
5.1 产品模块描述	10
5.1.1 收发器	10
5.1.2 数字单芯片	10
5.1.3 编码/解码器	10
5.1.4 时标	10
5.1.5 中断	11
5.1.6 地址译码、内部寄存器和存储器管理	11
5.2 产品功能描述	18
5.2.1 总线控制器（BC）结构	18
5.2.2 远程终端（RT）结构	23
5.2.3 监测器（MT）结构	31
六、电参数	33
七、典型应用描述	35
7.1 系统接口示意图及时序	35
7.1.1 系统接口示意图	35
7.1.2 系统时序	38
7.2 软件初始化等操作方法说明与使用建议	41
7.3 应用指导建议	44
7.3.1 J61580R 电路与 1553 总线的推荐连接方式	44
7.3.2 J61580R 与 MIL-STD-1553 总线接口及变压器选择	44
7.3.2 板级应用要求	45



7.4 J61580R 电路处理器端接口应用简介	46
7.4.1 32 位主机模式	46
7.4.2 16 位主机模式	48
7.4.3 8 位主机模式	49
八 应用要求	51
8.1 器件典型应用	51
8.1.1 J61580R 输入高电平说明	51
8.1.2 J61580R 复位时间说明	51
8.1.3 J61580R 器件盖板接地说明	51
8.1.4 J61580R 电路零等待模式可靠应用	51
8.1.5 J61580R 电路 SRAM 低电压数据保持说明	52
8.1.6 J61580R 在推荐总线接法下带载能力说明	52
8.2 板级应用要求	53
8.3 J61580R 替换 BU-61580 电路注意事项	53
九、封装说明	54
9.1 封装形式和外形尺寸	54
9.2 管脚排列	55

## 一、产品特性

- 双路 1553 总线收发模块；
- 完整的 MIL-STD-1553B 双冗余总线控制器(BC)、远程终端(RT)和监测终端(MT)；
- 灵活的处理/存储器接口；
- 16M/12M 可选择时钟频率；
- BC 和 RT 方式的多消息处理能力；
- BC 方式消息自动重试、信息帧自动重发和可编程的消息间延时；
- 强大的内部自测试功能；
- RT 模式灵活的数据缓冲方式；
- 可选择的消息监测模式；
- 同步 RT/MT 模式；
- RT 地址锁存功能；（备注 1）
- A、B 通道独立控制功能；（备注 1）
- MCP70 封装；



备注 1：RT 地址锁存功能是 J61581R 较 J61580R 所特有的，A、B 通道独立控制功能是 J61581S6 较 J61581S3 所特有的。

## 二、产品概述

J61580R/J61581R为MIL-STD-1553B总线上先进的通讯控制器，其内部的BC、RT和MT功能，为MIL-STD-1553B系统设计提供了一个智能的解决方法。该器件为多电路模块的陶瓷封装（MCM），电路内部集成有：数字协议控制电路，双路总线收发器等模块。因此，该电路更适合高强度的应用环境。电路内部主要的逻辑模块为：双路收发器、完整的BC/RT/MT多功能协议逻辑、存储器管理逻辑和中断逻辑，4K×16位的静态存储器和与处理器总线的接口逻辑，其整体框图如图1所示。

J61580R/J61581R包括内部地址锁存器和双向的数据缓冲电路以便于其与处理器总线的的数据交换。J61580R/J61581R还可以很方便的与8位或16位的处理器进行接口通信，另外，在共用RAM和DMA配置模式下，J61580R/J61581R能最大外扩64KRAM。

J61580R/J61581R电路是支持多协议数据总线的器件，它支持多种通信协议，如：MIL-STD-1553A、MIL-STD-1553B、MIL-STD-1773、STANAG3838和MCAIR A3818，A5232和A5690等协议。

RT模式的存储器管理方案提供了一个广播数据分离的选项，与1553B Notice 2是一致的。双缓存器和循环缓存器选项都可以通过子地址编程。这些功能有助于保证数据的一致性和主处理器处理海量数据传送。

J61580R/J61581R的MT模式支持三种监测模式：字监测、可选择消息监测及RT/可选择监测联合模式。其它功能包括自动重试及BC模式的可编程消息间间隔选项、内部定时标签寄存器、内部中断状态寄存器以及RT模式的内部指令非法化。

### 三、结构图

图1给出了J61580R/J61581R电路内部结构图。

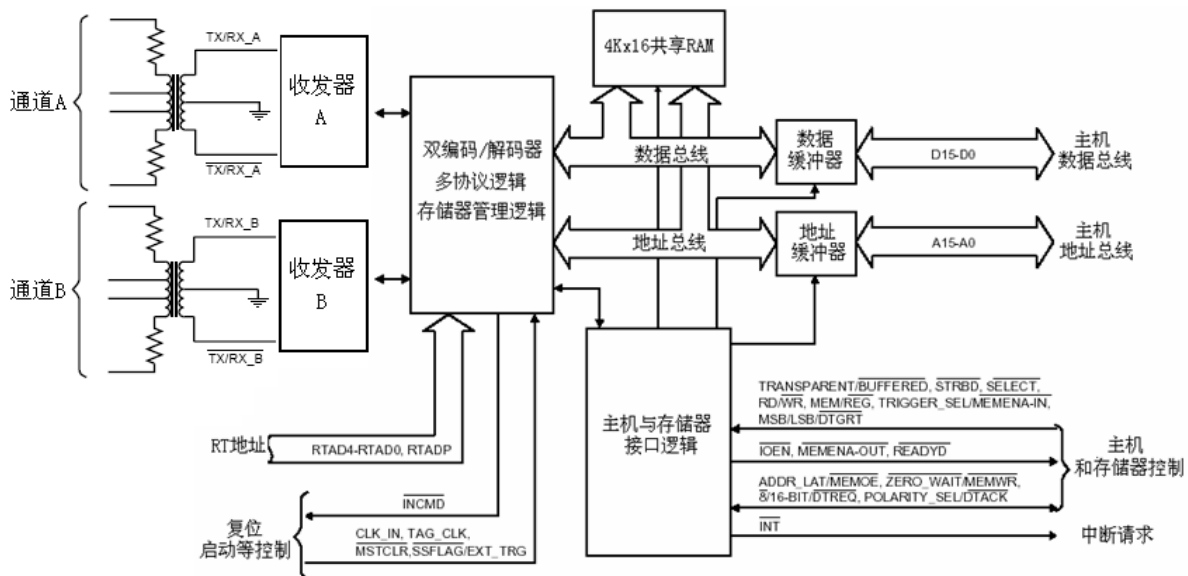


图 1 J61580R/J61581R 电路内部结构

### 四、引脚定义

#### 4.1 管脚特性及功能定义

在表1中给出了J61580R/J61581R电路管脚的I/O特性和功能说明。

表 1 J61580R 管脚定义

管脚序号	管脚名称	类型	功能描述
1	TX/RX-A	I/O	双路收发器接收/发送端。直接连接到1553总线变压器上
2	$\overline{\text{TX/RX}} - \text{A}$	I/O	
34	TX/RX-B	I/O	
35	$\overline{\text{TX/RX}} - \text{B}$	I/O	
3	$\overline{\text{SELECT}}$	I	内部存储器/寄存器数据传送使能。读写存储器或内部寄存器时，需保持低电平。
4	$\overline{\text{STRBD}}$	I	与 SELECT 配合，初始化和控制数据传送。读写存储器或内部寄存器时，需保持低电平。
5	MEM/ $\overline{\text{REG}}$	I	存储器/寄存器选择。访问存储器时，需保持高电平，访问寄存器时，需保持低电平。
6	RD/ $\overline{\text{WR}}$	I	读/写选择。读存储器或寄存器时，需高电平，写存储器或寄存器时，需低电平。在 16 位缓冲模式下，请参考 POLARITY_SEL(I)管脚说明。
7	$\overline{\text{MSTCLR}}$		外部复位。低电平复位，复位时需至少 100ns 的低脉冲信号。
8	A15	I/O	16位双向地址总线
9	A14	I/O	
10	A13	I/O	
11	A12	I/O	
12	A11	I/O	
13	A10	I/O	
14	A9	I/O	
15	A8	I/O	
16	A7	I/O	
17	A6	I/O	
20	A5	I/O	
21	A4	I/O	
22	A3	I/O	
23	A2	I/O	
24	A1	I/O	
25	A0	I/O	
18	GND	I	
19	CLOCK	I	16M/12M 时钟输入
26	$\overline{\text{DTGRT}}(\text{I})/\text{MSB}/\overline{\text{LSB}}(\text{I})$	I	数据传送允许/高/低字节选择。在透明模式下，该信号与 $\overline{\text{DTREQ}}/16/8$ 直接相接；在 16 位缓冲模式下，该信号悬空；在 8 位缓冲模式下，请参考 POLARITY_SEL(I)管脚说明。
27	$\overline{\text{SSFLAG}}/\text{EXT\_TRIG}$	I	子系统标志/外部触发输入。在 RT 模式下，可以设置 RT 状态字中的子系统标志位，当输入为低电平时，将忽略配置寄存器#1 中的第 8 位（bit8）的值；在 BC 模式下，输入由低到高的脉冲可以触发 BC（配置寄存器#1 的 bit7 需设置为高）；在字监测模式下，输入由低到高的脉冲可以触发 MT

			(配置寄存器#1的bit7需设置为高)。
28	$\overline{\text{MEMENA\_OUT}}$	O	存储器使能输出。当主机和1553协议/存储器管理存储器时,保持低电平;在透明模式下,作为外部存储器的片选信号。
29	$\overline{\text{MEMOE}}(\text{O})/\text{ADDR\_LAT}(\text{I})$	I/O	存储器输出使能(O)/地址锁存(I)。在透明模式下,做输出信号,在外部存储器的读周期,为存储器数据的输出使能;在缓冲模式下,做输入信号,当为逻辑“0”时,为地址锁存模式,当为逻辑“1”时,为地址透明模式。
30	$\overline{\text{MEMWR}}(\text{O})/\overline{\text{ZERO\_WAIT}}(\text{I})$	I/O	存储器写(O)/零等待状态选择(I)。在透明模式下,做输出信号,在内部/外部存储器的写周期,输出低电平;在缓冲模式下,做输入信号,输入高电平时,为非零等待模式,输入低电平时,为零等待模式。
31	$\overline{\text{DTREQ}}/16/8(\text{I})$	I/O	数据传送请求(O)/16/8位传送模式选择。在透明模式下,做输出信号,直接与 $\overline{\text{DTGRT}}(\text{I})/\text{MSB}/\overline{\text{LSB}}(\text{I})$ 相接;在缓冲模式下,做输入信号,输入高电平时,选择16位传输模式,输入低电平时,选择8位传输模式。
32	$\overline{\text{DTACK}}(\text{O})/\text{POLARITY\_SEL}(\text{I})$	I/O	在透明模式下,作为输出信号用来标志在数据传输周期主机总线的应答。在16位缓冲模式时,做输入信号,当POLARITY_SEL为逻辑“1”时,RD/ $\overline{\text{WR}}$ 高电平时,为读功能,RD/ $\overline{\text{WR}}$ 低电平时,为写功能;当POLARITY_SEL为逻辑“0”,则相反。在8位缓冲模式下,POLARITY_SEL输入逻辑“1”时,MSB/ $\overline{\text{LSB}}$ 为低电平时,表示传输高8位,MSB/ $\overline{\text{LSB}}$ 为高电平时,表示传输低8位;POLARITY_SEL输入逻辑“0”时,则相反。
33	$\overline{\text{MEMENA}}(\text{I})/\text{TRIGGER\_SEL}(\text{I})$	I	在透明模式下,该信号作为内部RAM的片选信号;在16位缓冲模式下,该信号可以悬空;在8位缓冲模式下,该信号输入高电平表示读写顺序为先高8位后低8位,输入低电平则相反。
36			N/C (见备注2)
37	GNCB	I	收发器B模拟接地端
38	+5VB	I	收发器B模拟电源
39	RTAD0	I	远程终端地址输入
40	RTAD1	I	
41	RTAD2	I	
42	RTAD3	I	
43	RTAD4	I	
44	RTADP	I	
45	$\overline{\text{INCMD}}$	O	在BC模式时,内部处理每一个消息时,都保持低电平;在RT模式或MT模式时,从收到命令字起到当前消息处理完期间,



			始终保持低电平；在字监测模式时，当监测开始，保持低电平，直到复位信号到来。
46	D0	I/O	16位双向数据总线
47	D1	I/O	
48	D2	I/O	
49	D3	I/O	
50	D4	I/O	
51	D5	I/O	
52	D6	I/O	
53	D7	I/O	
55	D8	I/O	
56	D9	I/O	
57	D10	I/O	
58	D11	I/O	
59	D12	I/O	
60	D13	I/O	
61	D14	I/O	
62	D15	I/O	
54	+5V	I	电路5V逻辑电源（数字电源）
63	TAG_CLK	I	外部时间标志时钟输入。应用时，需要设置配置寄存器#2的7、8和9位。为内部时标寄存器/计数器的基准增量。不用时，应接电源或地。
64	TRANSPARENT/ $\overline{\text{BUFFERED}}$	I	透明/缓冲模式选择信号。电路工作在透明模式下，该信号应接逻辑“1”，工作在缓冲模式下，该信号应接逻辑“0”。
65	$\overline{\text{INT}}$	O	中断请求输出。当配置寄存器#2的第3位（bit3）为低电平时，将有大约500ns的低脉冲产生；当第3位为高电平时，该信号为低电平。
66	$\overline{\text{READYD}}$	O	与处理器的交互输出信号。当输出为低电平时，表示主机可以读写存储器和内部寄存器的内容。
67	$\overline{\text{IOEN}}$	O	外部地址和数据缓冲的三态控制。在缓冲模式下，可以悬空；在透明模式下，该信号为低时，主机可以访问存储器和内部寄存器。
68	+5VA	I	收发器A模拟电源
69	GNDA	I	收发器A模拟接地端
70			N/C （见备注2）

备注 2: PIN36 和 PIN70 在 J6158XR-S3 下为悬空管脚；在 J6158XR-S6 下为 A、B 通道的独立控制端。

#### 4.2 电路型号说明:

- J61580R S3 具有70-PIN；BC/RT/MT功能；  
 J61580R S6 具有70-PIN；BC/RT/MT功能；A、B通道独立控制功能；  
 J61581R S3 具有70-PIN；BC/RT/MT功能；RT地址锁存功能；



J61581R S6 具有70-PIN; BC/RT/MT功能; RT地址锁存功能; A、B通道独立控制功能;

## 五、产品描述

### 5.1 产品模块描述

#### 5.1.1 收发器

J61580R/J61581R中的收发器全部都是单片的, 只需+5V电源输入。除没有其它电源输入的要求外, 这里用到的收发器利用的是升压隔离变压器而非降压隔离变压器。这样做的优点是, 与15V或12V的发送器相比, 可能有更高的终端输入阻抗。因此, 在输入阻抗的测试时就可以有更大余量用于1553有效性测试。这样, 还允许在嵌入式1553终端的隔离变压器和LRU系统连接器之间使用更长的电缆。就前端过压保护、门限、共模反射、字的误码率来说, J61580R/J61581R的接收器部分与MIL-STD-1553B是完全一致的。

#### 5.1.2 数字单芯片

数字单芯片含有一个双编码/解码器、完整的BC协议、RT及MT模式、存储器管理及中断逻辑、与主处理器总线及外部RAM可灵活交换的缓存接口、4K字的片内RAM。

#### 5.1.3 编码/解码器

J61580R/J61581R电路在默认模式下是以时钟频率16M工作, 根据需要, 通过软件编程可以将它配置成时钟频率12M的工作方式。在16M的工作模式下(电路复位), 内部解码/编码器的采样频率为16M; 在12M的工作模式下, 解码/编码器的采样频率为24M。高采样频率提高了电路内部编码/解码器的容错能力。

#### 5.1.4 时标

J61580R/J61581R内部含有可读写的内部定时标签寄存器, 该寄存器是一个CPU可读写的16位计数器, 其分辨率是可编程的, 为2、4、6、8、16、32、或64us/LSB。同样, 时标寄存器的时钟也可以是外部振荡器。定时标签寄存器的增量是软件可控的。这样做可以支持时标寄存器的自检。对BC和RT模式来说, 每一个被处理的消息都被装载到相应的描述栈入口

的第二个位置（TIME TAG WORD）。

其它选项有：在同步模式指令（不带数据）之后清除定时标签寄存器、或在同步模式指令（带数据）之后装载定时标签寄存器。当定时标签寄存器从0000滚动到FFFF时使能中断请求并置位中断状态寄存器中的一位。假如定时标签寄存器没被装载或已被复位，对64us/LSB的分辨率来说将产生约4s的时间间隔，对2us/LSB的分辨率将下降到131ms。

### 5.1.5 中断

J61580R/J61581R电路内部具有功能强大的中断逻辑，它为中断产生和中断处理提供了很多可编程的选择。电路的中断输出引脚（INT）具有三种软件可编程选择方式：脉冲形式、电平输出的软件控制方式和读取内部中断状态寄存器自动电平输出清零。中断状态寄存器可以提供目前中断的状态，通过读取中断状态寄存器，处理器能很容易判断中断产生的原因。中断状态寄存器的值可以通过两种方式来更新。一种为标准的中断处理模式，即：当中断存在并且中断屏蔽寄存器中相应的位被激活时，中断状态寄存器中相应的中断位被更新。另一种为中断处理的增强模式，即：只要中断产生，无论中断屏蔽寄存器中相应的位是否被激活，中断状态寄存器中相应的位被更新。因此，中断屏蔽寄存器中的每一位均能触发相应情况的中断。

### 5.1.6 地址译码、内部寄存器和存储器管理

J61580R/J61581R电路与处理器的软件接口包括17个内部常规寄存器和8个额外的测试寄存器，以及4K×16位的内部存储器空间。

#### 5.1.6.1 中断屏蔽寄存器

能够触发或屏蔽各种中断请求。

配置寄存器#1和#2：主要用于配置电路的操作模式，软件控制RT状态字的各个位，激活存储器空间，BC模式的错误停止，RT存储器管理模式选择以及时标操作等等。

#### 5.1.6.2 开始/复位寄存器

主要用于对电路软件复位，BC/MT模式的启动，中断复位，时标复位和时标寄存器测试等。同时它还能让BC在自动重试模式下不论在当前消息发完还是当前信息帧发完的情况下都能停止。

#### 5.1.6.3 BC/RT 命令栈指针寄存器

电路在BC/RT模式下，用于主机确定当前消息或最近消息的在存储器中的栈点位置。

#### 5.1.6.4 BC 控制字/RT 子地址控制字寄存器

在BC模式下，主机可以访问当前BC控制字寄存器。BC控制字包含的位：选择激活总线，消息的格式，使能掉线模式，自测试，屏蔽状态字，使能消息重试和中断，以及

MIL-STD-1553A或MIL-STD-1553B出错处理等。在RT模式下,主机能够访问当前或最近的子地址控制字。子地址控制字用于选择存储器空间配置方式和使能当前消息的中断。可以通过读写该寄存器辅助测试J61580R/J61581R电路内部工作状态。

#### 5.1.6.5 时标寄存器

能够保存实时时钟的值。该寄存器可编程的分辨率为2, 4, 8, 16, 32和64 $\mu$ s/LSB。TAG\_CLK作为外部时钟输入也能锁住该寄存器。在BC、RT和消息监视模式下,消息的起始(SOM)和消息的截止(EOM)均能促使时标寄存器的当前值写入RAM的栈空间。

#### 5.1.6.6 中断状态寄存器

能映射中断屏蔽寄存器并包括一个屏蔽中断位。主机能通过读取相应中断位来判断产生中断的原因。

#### 5.1.6.7 配置寄存器#3, #4和#5

通过配置这些寄存器来使能J61580R/J61581R电路的许多先进特性。在BC模式下,增强模式特性包括扩展BC控制字和BC块状态字,附加的错误停止(SOE),帧自动重试,可编程消息时间间隔,消息自动重发,状态字的屏蔽,有选择性的消息发完后中断等。在RT模式下,增强模式的特性包括扩展RT块状态字,与RT组合可选择监测模式,单个接收到的(或广播的)子地址的双缓冲配置方式和交替的RT状态字等。在MT模式下,增强模式可以使能可选择的消息监测,与RT组合可选择监测模式,以及监视触发性能等。

#### 5.1.6.8 数据栈地址寄存器

在选择字监测模式下,用于标示存储器存储当前消息(第二个命令字,数据字和RT状态字)的地址。

#### 5.1.6.9 帧时间保持寄存器

用于标识当前BC信息帧保留的时间。该寄存器的计时分辨率为100 $\mu$ s/LSB。

#### 5.1.6.10 消息时间保持寄存器

用于标识在一个BC信息帧中消息与消息之间的时间。该寄存器的分辨率为1 $\mu$ s/LSB。

#### 5.1.6.11 BC信息帧/RT上一个命令字/MT触发字寄存器

在BC的信息帧自动重试模式下,它用于配置BC信息帧的时间。该寄存器的计时分辨率为100 $\mu$ s/LSB,最大计时数为6.55s。在RT模式下,该寄存器存储RT处理的当前或最近的1553命令字。在MT模式下,该寄存器存储16位的触发(命令)字,用于启动或停止监测或者用于产生中断。

#### 5.1.6.12 状态字寄存器

提供J61580R/J61581R电路的RT状态字以及建立测试字。该寄存器为只读寄存器。

#### 5.1.6.13 测试寄存器0-7

这些寄存器主要用于测试,在J61580R/J61581R电路设计和生产以及系统集成时用到。

下表2为J61580R/J61581R电路内部寄存器地址映射表,在表3到表19中分别对各个寄存器进行了详细的说明。表20-24不是寄存器,但它们的字存储在寄存器中。

表 2 寄存器地址映射表	表 3 中断屏蔽寄存器
--------------	-------------

						(读/写 00h)		
地址线						寄存器描述/可访问性	位	描述
HEX	A4	A3	A2	A1	A0		15(MSB)	保留
00	0	0	0	0	0	中断屏蔽寄存器 (读/写)	14	RAM 奇偶校验错误
01	0	0	0	0	1	配置寄存器#1 (读/写)	13	BC/RT 发送超时
02	0	0	0	1	0	配置寄存器#2 (读/写)	12	BC/RT 命令堆栈翻转
03	0	0	0	1	1	起始/复位寄存器 (写)	11	MT 命令堆栈翻转
03	0	0	0	1	1	命令栈指针寄存器 (读)	10	MT 数据栈翻转
04	0	0	1	0	0	BC 控制字/RT 子地址控制字寄存器 (读/写)	9	握手失败
05	0	0	1	0	1	时标寄存器 (读/写)	8	BC 重试
06	0	0	1	1	0	中断状态寄存器 (读)	7	RT 地址奇偶校验错误
07	0	0	1	1	1	配置寄存器#3 (读/写)	6	时标翻转
08	0	1	0	0	0	配置寄存器#4 (读/写)	5	RT 循环缓冲翻转
09	0	1	0	0	1	配置寄存器#5 (读/写)	4	BC 消息/RT 子地址控制字 EOM
0A	0	1	0	1	0	RT/MT 数据栈地址寄存器 (读/写)	3	BC 帧结束
0B	0	1	0	1	1	BC 帧定时保持寄存器 (读)	2	格式错误
0C	0	1	1	0	0	下一消息 BC 定时保持寄存器 (读)	1	BC 状态置位/RT 方式码/MT 方式触发
0D	0	1	1	0	1	BC 帧定时/RT 最后一个指令/MT 触发字寄存器 (读/写)	0	消息结束
0E	0	1	1	1	0	RT 状态字寄存器 (读)		
0F	0	1	1	1	1	RT BIT 字寄存器 (读)		
10	1	0	0	0	0	测试模式寄存器 0		

..							
.							
17	1	0	1	1	1	测试模式寄存器 7	
18	1	1	0	0	0	保留	
.							
.							
1F	1	1	1	1	1	保留	

表 4 配置寄存器#1 (读/写 01h)

位	BC 功能 (位 11-0 仅用于增强模式)	非交替状态的 RT	交替状态的 RT (仅增强模式)	MT 功能 (位 12-0 仅用于增强模式)
15(MSB)	RT/BC-MT(逻辑 0)	逻辑 1	逻辑 1	逻辑 0
14	MT/BC-RT (逻辑 0)	逻辑 0	逻辑 0	逻辑 1
13	当前区域 B/A	当前区域 B/A	当前区域 B/A	当前区域 B/A
12	消息出错停止	使能消息监控器 (MMT)	使能消息监控器 (MMT)	使能消息监控器 (MMT)
11	帧出错停止	<u>动态总线控制接受</u>	S10	触发使能字
10	状态置位消息停止	<u>忙</u>	S09	触发启动
9	状态置位帧停止	<u>服务请求</u>	S08	触发结束
8	帧自动重发	<u>子系统标志</u>	S07	未使用
7	使能外部触发	<u>RT FLAG</u> (仅增强模式)	S06	外部触发使能
6	使能内部触发	未使用	S05	未使用
5	使能消息间间隔定时器	未使用	S04	未使用
4	重试被使能	未使用	S03	未使用
3	双次/单次重试	未使用	S02	未使用
2	BC 被使能 (只读)	未使用	S01	监控器使能 (只读)
1	BC 帧在处理 (只读)	未使用	S00	监控器触发 (只读)
0 (LSB)	BC 消息在处理 (只读)	RT 消息在处理 (仅增强模式、只读)	RT 消息在处理 (只读)	监控器激活 (只读)

表 5 配置寄存器#2 (读/写 02h)

位	描述
15 (MSB)	增强型中断
14	RAM 奇偶校验使能
13	使能忙查询表
12	使能 RX SA 双缓存器
11	写覆盖无效数据

表 6 起始/复位寄存器 (写 03h)

位	描述
15 (MSB)	保留
.	.
.	.
.	.
7	保留



10	禁止 256 字边界	6	BC/MT 消息停止
9	时标分辨率 2 (TTR2)	5	BC 帧停止
8	时标分辨率 1 (TTR1)	4	时标测试时钟
7	时标分辨率 0 (TTR0)	3	时标复位
6	接收同步指令而清除时标	2	中断复位
5	接收同步指令而装载时标	1	BC/MT 起始
4	中断状态自动清除	0 (LSB)	复位
3	电平/脉冲中断请求		
2	清除服务请求		
1	增强型 RT 存储器管理		
0 (LSB)	分离广播数据		
表 7 BC/RT 指令堆栈指针寄存器 (读 03H)		表 10 时标寄存器 (读/写 05H)	
位	描述	位	描述
15 (MSB)	指令堆栈指针 15	15 (MSB)	时标 15
•	•	•	•
•	•	•	•
•	•	•	•
0 (LSB)	指令堆栈指针 0	0 (LSB)	时标 0
表 8 BC 控制字寄存器 (读/写 04H)		表 11 中断状态寄存器 (读 06H)	
位	描述	位	描述
15 (MSB)	保留	15 (MSB)	主中断
14	屏蔽消息出错	14	RAM 奇偶错误
13	屏蔽服务请求位	13	BC/RT 发送超时
12	屏蔽子系统忙位	12	BC/RT 命令栈翻转
11	屏蔽子系统标志位	11	MT 命令栈翻转
10	屏蔽终端标志位	10	MT 数据栈翻转
9	屏蔽保留位	9	握手失败
8	使能重试	8	BC 重试
7	总线通道 A/B	7	RT 地址奇偶错误
6	离线自检	6	时标翻转
5	屏蔽广播位	5	RT 循环缓冲翻转
4	使能 EOM 中断	4	RT 子地址控制字 EOM
3	1553A/B 选择	3	BC 帧结束
2	方式码格式	2	格式错误
1	广播格式	1	BC 状态设置/RT 模式码/MT 方式触发
0 (LSB)	RT-to-RT 格式	0 (LSB)	消息结束 (EOM)
表 9 RT 子地址控制字 (读/写 04H)		表 12 配置寄存器#3 (读/写 07H)	
位	描述	位	描述
15 (MSB)	RX: 使能双缓存	15 (MSB)	使能增强模式
14	TX: EOM 中断	14	BC/RT 指令堆栈容量 1

13	TX: 循环缓存中断	13	BC/RT 指令堆栈容量 0
12	TX: 存储器管理 2 (MM2)	12	MT 指令堆栈容量 1
11	TX: 存储器管理 1 (MM1)	11	MT 指令堆栈容量 0
10	TX: 存储器管理 0 (MM0)	10	MT 数据堆栈容量 2
9	RX: EOM 中断	9	MT 数据堆栈容量 1
8	RX: 循环缓存中断	8	MT 数据堆栈容量 0
7	RX: 存储器管理 2 (MM2)	7	禁止非法化
6	RX: 存储器管理 1 (MM1)	6	越权模式 T/R 错误
5	RX: 存储器管理 0 (MM0)	5	使能交替的状态字
4	BCST: EOM 中断	4	禁止非法的 RX 传送
3	BCST: 循环缓存中断	3	禁止忙 RX 传送
2	BCST: 存储器管理 2 (MM2)	2	使能 RTFAIL-RTFLAG 打包
1	BCST: 存储器管理 1 (MM1)	1	使能 1553A 方式码
0 (LSB)	BCST: 存储器管理 0 (MM0)	0 (LSB)	增强方式码处理

表 13 配置寄存器#4 (读/写 08H)

位	描述
15 (MSB)	使能外部 BIT 字
14	若忙则禁止 BIT 字
13	模式指令越权忙
12	使能扩展的 BC 控制字
11	广播屏蔽使能/ <u>XOR</u>
0	若 1553A 位与消息出错位都为逻辑 1,则重试
9	如果状态置位则重试
8	第一次重试交替/ <u>同一</u> 总线
7	第二次重试交替/ <u>同一</u> 总线
6	若消息出错且无数据,则响应也有效
5	忙且无数据,则响应也有效
4	MT 标签间隔选项
3	和配置寄存器#5 一起锁存 RT 地址
2	测试模式 2
1	测试模式 1
0 (LSB)	测试模式 0

表 16 BC 帧定时保持寄存器 (读/写 0BH)

位	描述
15 (MSB)	BC 帧定时保持 15
.	.
.	.
.	.
0 (LSB)	BC 帧定时保持 0

表 17 BC 消息定时保持寄存器 (读/写 0CH)

位	描述
15 (MSB)	BC 消息定时保持 15
.	.
.	.
.	.
0 (LSB)	BC 消息定时保持 0

表 14 配置寄存器#5 (读/写 09H)

位	描述
15 (MSB)	12MHz 时钟选择
14	单消息结束选择
13	外部 TX 禁止 A, 61580×6 只

表 18 BC 帧定时/RT 最后一个指令/MT 触发字寄存器 (读/写 0DH)

位	描述
15 (MSB)	位 15
.	.
.	.



	读		
12	外部 TX 禁止 B, 61580×6 只读	.	.
11	使能扩展的过零点	0 (LSB)	位 0
10	响应超时选择 1	表 19 RT 状态字寄存器 (读/写 0EH)	
9	响应超时选择 0		
8	使能间隔检查	位	描述
7	禁止广播	15 (MSB)	逻辑 0
6	RT 地址锁存/透明	14	逻辑 0
5	RT 地址 4	13	逻辑 0
4	RT 地址 3	12	逻辑 0
3	RT 地址 2	11	逻辑 0
2	RT 地址 1	10	消息差错
1	RT 地址存 0	9	测试手段
0 (LSB)	RT 地址奇偶位	8	服务请求
		7	保留
表 15 RT/监控器数据堆栈地址寄存器 (读/写 0AH)		6	保留
位	描述	5	保留
15 (MSB)	RT/监控器数据堆栈地址 15	4	广播指令接收
.	.	3	忙
.	.	2	子系统标志
.	.	1	动态总线控制接受
0 (LSB)	RT/监控器数据堆栈地址 0	0 (LSB)	终端标志

表 20 RT BIT 字寄存器 (读 0FH)		表 21 BC 模式块状态字	
位	描述	位	描述
15 (MSB)	发送超时	15 (MSB)	EOM
14	环路测试失败 B	14	SOM
13	环路测试失败 A	13	通道 B/A
12	握手失败	12	错误标志
11	发送器关闭 B	11	状态设置
10	发送器关闭 A	10	格式错误
9	禁止终端标志	9	无响应超时
8	通道 B/A	8	环路测试失败
7	高字节计数	7	屏蔽状态置位
6	低字节计数	6	重试计数 1
5	接收的同步不正确	5	重试计数 0
4	接收的奇偶/曼彻斯特错误	4	正确的数据块传送
3	RT-RT 间隔/同步/地址错误	3	错误的状态地址/无间隔

2	RT-RT 无响应错误	2	字计数错误
1	RT-RT 第二个指令字错误	1	同步类型错误
0(LSB)	指令字内容错误	0(LSB)	无效的字
表 22 RT 模式块状态字		表 24 消息监控器模式块状态字	
位	描述	位	描述
15 (MSB)	EOM	15 (MSB)	EOM
14	SOM	14	SOM
13	通道 B/A	13	通道 B/A
12	错误标志	12	错误标志
11	RT-RT 格式	11	RT-RT 传送
10	格式错误	10	格式错误
9	无响应超时	9	无响应暂停
8	环路测试失败	8	正确的数据块传送
7	数据堆栈滚动结束	7	数据堆栈滚动结束
6	非法的命令字	6	保留
5	字计数错误	5	字计数错误
4	错误的同步	4	错误的同步
3	无效的字	3	无效的字
2	RT-RT 间隔/同步/地址错误	2	RT-RT 间隔/同步/地址错误
1	RT-RT 第二个指令字错误	1	RT-RT 第二个指令错误
0(LSB)	指令字内容错误	0(LSB)	指令字内容错误

表 23 字监控器识别字			
位	描述	6	该 RT
15 (MSB)	间隔定时	5	广播
•	•	4	错误
•	•	3	指令/数据
•	•	2	通道 B/A
8	间隔定时	1	邻接的数据/间隔
7	字标志	0(LSB)	方式码

## 5.2 产品功能描述

### 5.2.1 总线控制器 (BC) 结构

J61580R/J61581R 电路内部 BC 协议包含所有的 MIL-STD-1553B 消息的格式。消息的格

式设置可以通过软件编写 BC 控制字中的各个位来完成。BC 控制字顾及到了 1553 消息的格式、1553A/B 类型的 RT、总线通道、自测试和在单消息发送时的状态字屏蔽等。此外，消息自动重试、中断请求的使能和中断请求的无效等设置也都被考虑到。BC 还能提供 MIL-STD-1553B 所要求的所有的出错检测。例如，消息响应时间的确认、同步类型和同步头编码、曼彻斯特 II 编码、奇偶校验、位计数、字计数、状态字的 RT 地址区域以及各种不同的 RT-RT 传输错误。J61580R/J61581R 电路的 BC 模式的响应超时时间可通过软件设置为 18、22、50 和 130 $\mu$ s。在传输总线较长或选择帧重发时一般选择比较长的响应时间。

图 2 给出了 BC 消息间隔时间以及信息帧的时间的说明。在没有处理器参与的情况下，J61580R/J61581R 电路可以通过软件设置，一个信息帧最多可以处理 512 个消息。在帧自动重发模式下，帧重复率可以通过内部的软件编写帧的时间来设置，也可以通过输入外部触发信号来控制。内部设置帧时间时，可以在 100 $\mu$ s 分辨率的情况下，最大能达到 6.55 秒。与此同时，帧内部消息间隔时间，也就是当前消息的开始到下一个消息的开始，也是可以通过软件来设置的。在连续的消息间，设置的最大时间为 65.5 毫秒，分辨率为 1 $\mu$ s。

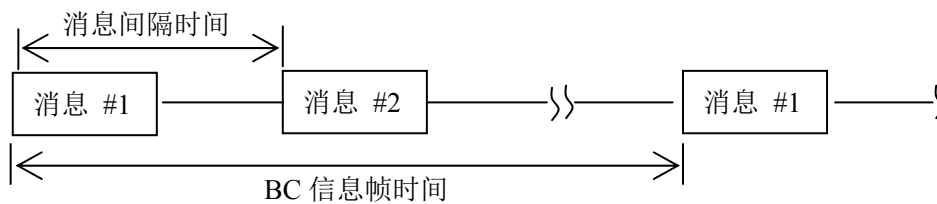


图 2 BC 消息间隔和帧时间

在表 25 中，给出了 BC 模式典型的存储器的空间管理方式。在存储器中有几个重要的地址空间是固定的。其中 0100 (hex) 和 0104 (hex) 分别为区域 A 和区域 B 的数据栈指针，而 0101 (hex) 和 0105 (hex) 分别为区域 A 和区域 B 的消息计数存储空间。当 BC 工作在帧重发模式时，J61580R/J61581R 用到的数据栈指针地址为 0102 (hex) 和 0106 (hex)，消息计数则为 0103 (hex) 和 0107 (hex)。存储器其他的存储空间，用户可以随意的存储消息块。从表中可知，一个消息块最多包含 38 个字，对 RT-RT 的传输时，最多能发送 32 个数据字，即 1 个控制字、2 个命令字、1 个反馈字、2 个状态字和 32 个数据字。当然，这种极限情况是在无视 256 个字边界的情况下。

地址 (HEX)	地址描述
0000-00FF	栈区 A
0100	区域 A 栈指针 (固定地址)
0101	区域 A 消息计数 (固定地址)
0102	区域 A 栈指针 (BC 帧自动重发模式)
0103	区域 A 消息计数 (BC 帧自动重发模式)
0104	区域 B 栈指针

0105	区域 B 消息计数
0106	区域 B 栈指针 (BC 帧自动重发模式)
0107	区域 B 消息计数 (BC 帧自动重发模式)
0108-012D	消息块 0
012E-0153	消息块 1
0154-0179	消息块 2
•	•
•	•
•	•
0ED6-0EFB	消息块 93
0EFC-0EFF	保留
0F00-0FFF	栈区 B

图 3 给出了 J61580R/J61581R 电路 BC 模式的存储器管理规划表。BC 模式存储器管理的一个特点为：全局双缓冲模式管理。即内部提供了两套 BC 模式的数据管理结构：栈指针、消息计数地址、栈区描述和消息块。通过设置配置寄存器#1 第 13 位来选择当前使用的存储区域。在图 3 中给出了当前使用的区域（不带阴影）和备用区域（带阴影）。在任何情况下，主机都可以访问所有的区域，但是，在应用时，一般为主机访问备用区域而 1553 总线占用当前使用区域。通过编程，BC 可发送最多可达 512 个消息的多消息帧，BC 堆栈的容量可选择为：256、512、1024 或 2048 个字。

在初始化存储器时，通过编写消息计数字来确定当前帧消息的个数。通过编写栈指针来确定消息描述块起始地址。每个消息均带有 4 个消息描述块。消息描述块的地址是以栈指针定义的起始地址为基准，随着消息的发送，以 4 为增量累加。通过编写消息描述块中的第 3、第 4 个描述字，可以确定当前消息与发送的下一个消息的间隔时间和当前消息控制字在存储器中的存贮地址。当消息发送完成以后，J61580R/J61581R 电路会自动将当前消息的块状态字回写到消息描述块的起始地址。用户可以通过读该描述字来确定消息发送状态。在表 21 中对消息块描述状态字进行了详细的描述。

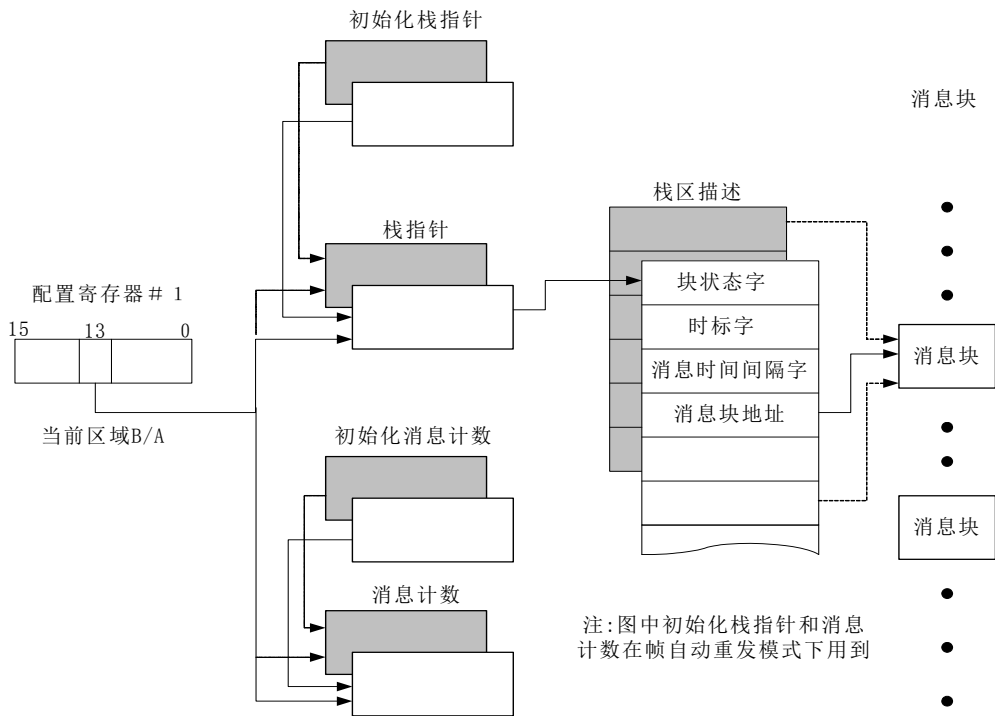


图3 BC 模式存储器管理 (内部 4K RAM)

### 5.2.1.1 BC 消息块

MIL-STD-1553B 协议有三种典型的字格式，即命令字、数据字和状态字，在图 4 中给出了这三种字的格式。同时，为了满足 MIL-STD-1553B 协议的要求，J61580R/J61581R 电路采用了一种消息块的结构。这种结构随 BC 对 RT 的操作不同而格式不同。表 26 分别给出了 BC 对 RT 的各种操作的消息块的格式。



图4 字格式

A: 消息出错

B: 测试手段 (经常保持为“0”，和命令字中的第 10 位一起用来区分状态字和命令字)

C: 服务请求

D: 广播命令接收

E: 忙

F: 子系统标记

G: 动态总线控制

H: 终端标记

P: 奇偶校验

表 26a BC 模式消息块格式

BC-to-RT 传送	RT-to-BC 传送	RT-to-RT 传送	模式码、不带数据
控制字	控制字	控制字	控制字
接收指令字	发送指令字	接收指令	模式指令
数据字#1	发送指令环路返回字	发送指令	模式指令环路返回字
数据字#2	接收到的状态	发送指令环路返回字	接收到的状态
⋮	数据字#1	Tx RT 状态字	<b>Tx 模式码、带数据</b>
最后一个数据字	数据字#2	数据字#1	控制字
最后一个数据字环路返回字	⋮	数据字#2	Tx 模式指令
接收到的状态	最后一个数据字	⋮	模式指令环路返回字
		最后一个数据字	接收到的状态
		Rx RT 状态字	数据字

表 26b BC 模式消息块格式

Rx 模式码、带数据	广播	RT-to-RTs (广播) 传送	广播模式码、带数据
控制字	控制字	控制字	控制字
Rx 模式指令	广播指令	Rx 广播指令	广播模式指令
数据字	数据#1	Tx 指令	数据字
数据字环路返回字	数据#2	Tx 指令环路返回字	数据字环路返回字
接收到的状态	⋮	Tx RT 状态字	
<b>广播模式码、不带数据</b>	最后一个数据	数据#1	
控制字	最后一个数据状态字	数据#2	
广播模式指令		⋮	
广播模式指令环路返回字		最后一个数据	

### 5.2.1.2 BC 消息块状态字

表 27 BC 消息块状态字

位	位描述
15 (最高)	消息截止
14	消息开始
13	通道 B/ $\bar{A}$
12	时标出错
11	状态设置
10	格式出错
9	响应超时
8	反馈测试失败
7	屏蔽状态设置
6	重发计数 1
5	重发计数 0
4	数据块传输正确
3	错误的状态地址/没有延时
2	字计数出错
1	同步头类型出错
0 (最低)	无效字

BC 给 1553 总线上每发送一个消息块，在其内部会产生一个该消息块的状态字，该消息块状态字存储在 RAM 内部，其存储地址可由软件编程来设置，可以通过读该状态字来判断发送的正确性。表 27 对 BC 模式的消息块状态字的各位进行了详细的描述。

### 5.2.2 远程终端 (RT) 结构

J61580R/J61581R 电路的 RT 模式具有一个突出的优点就是其真正的做到了支持多协议的功能。它可以通过软件编写来设置其支持 MIL-STD-1553A 协议、各种 McAir 协议以及 MIL-STD-1553B 协议。RT 的响应时间为 2 到 5 $\mu$ s。此外，RT 还能通过软件编程控制 RT 状态字和建立测试字。RT 还提供了全面的错误检测、字和格式的合理化以和各种 RT-RT 的传输错误，以及另一些重要功能包括一套中断事件、内部指令非法化、以及通过子地址可编程的忙。

在表 28 中给出了 RT 模式下典型的存储器空间管理方式。与 BC 模式基本一样，内部也有些固定的地址空间做特殊用途使用。地址 0100 (hex) 为通道 A 的栈指针，0104 (hex) 为通道 B 的栈指针。除了这些栈指针，还有设计为其他用途的特殊地址，如：所有 RT 模式操作需要的栈区 A 和栈区 B 的查询表，命令非法化查询表以及忙位查询表等。在表 29 中给出了存储器查询表 A 和查询表 B 的地址空间分布。RT 的查询表分别提供了接收/发送/广播方式的子地址数据块的地址空间。当用到地址 0300-03FF 地址空间时，该区域将作为 RT 非法化的地址空间。

表 28 RT 存储器空间管理（内部 4K RAM）

地址（HEX）	地址空间描述
0000-00FF	栈区 A
0100	区域 A 栈指针（固定地址）
0101-0103	保留
0104	区域 B 栈指针（固定地址）
0105-0107	保留
0108-010F	方式码选择性中断表（固定地址）
0110-013F	方式码数据（固定地址）
0140-01BF	查询表 A（固定地址）
01C0-023F	查询表 B（固定地址）
0240-0247	忙位查询表（固定地址）
0248-025F	保留
0260-027F	数据块 0
0280-02FF	数据块 1-4
0300-03FF	命令非法化表（固定地址）
0400-041F	数据块 5
0420-043F	数据块 6
•	•
•	•
0FE0-0FFF	数据块 100

表 29 查询表 A 与 B 空间管理

查询表 A	查询表 B	地址空间描述
0140-015F	01C0-01DF	接收（广播）查询表
0160-017F	01E0-01FF	发送查询表
0180-019F	0200-021F	广播查询表（可选择）
01A0-01BF	0220-023F	子地址控制字查询表（可选择）

J61580R/J61581R 的 RT 模式提供了灵活的存储器空间管理方式。RT 模式允许分别给发送、接收和广播子地址分配相应的地址空间。为满足 1553B 协议，RT 还提供了一种存储空间选择，即：可以将接收的数据字区分为 BC 广播模式发送的和非广播模式发送的。RT 提供的两个（区域 A 和区域 B）128 个字的查询空间（表 29），通过编写这些空间来确定发送、接收和广播消息的基地址。

在 RT 模式下，对于每个发送子地址，J61580R/J61581R 提供了两种可能的存储器管理规划表：①单个消息 ②循环缓冲。对每个接收子地址，J61580R/J61581R 提供了三种可能的存储器管理表：①单个消息 ②双缓冲 ③循环缓冲。对于发送、接收和广播子地址，通过编写 RT 子地址控制字，J61580R/J61581R 可提供两种中断情况：①消息结束中断 ②循环缓冲空间占满翻转中断。

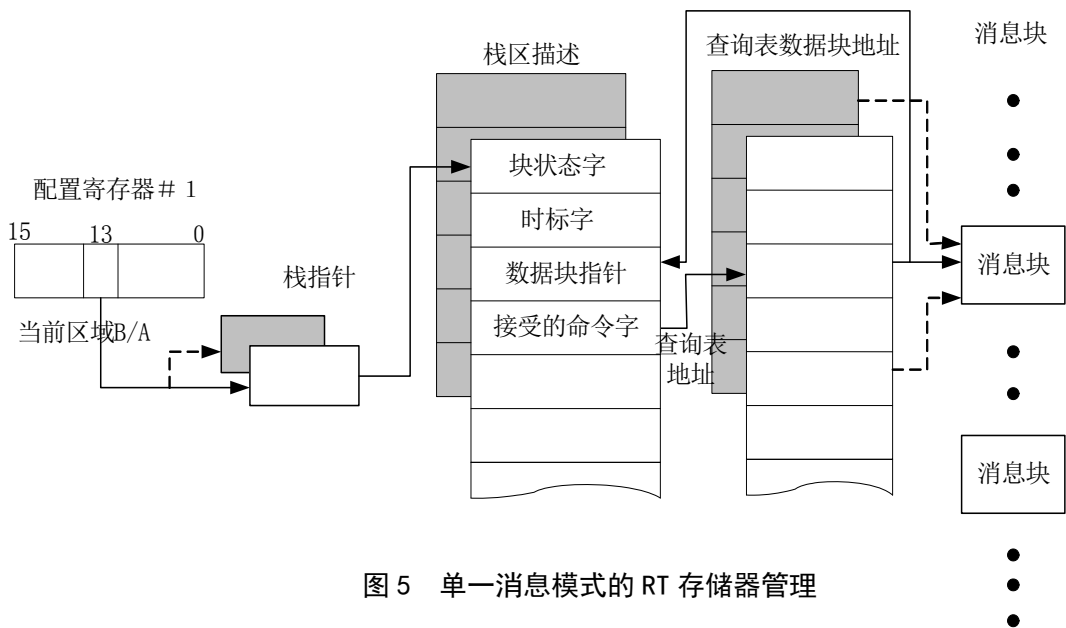


对于循环缓冲方式，通过编写 RT 子地址控制字（表 9）中的 3 位，可以选择循环缓冲空间大小为：128、256、512、1024、2048、4096 和 8192 个数据字。在表 30 中给出了子地址控制字与循环缓冲空间大小的对应关系。

MM2	MM1	MM0	描述	内容
0	0	0	单一消息或双缓冲（在表 8 中设置区分）	
0	0	1	128 字	循环缓冲
0	1	0	256 字	
0	1	1	512 字	
1	0	0	1024 字	
1	0	1	2048 字	
1	1	0	4096 字	
1	1	1	8192 字	

### 5.2.2.1 单一消息模式

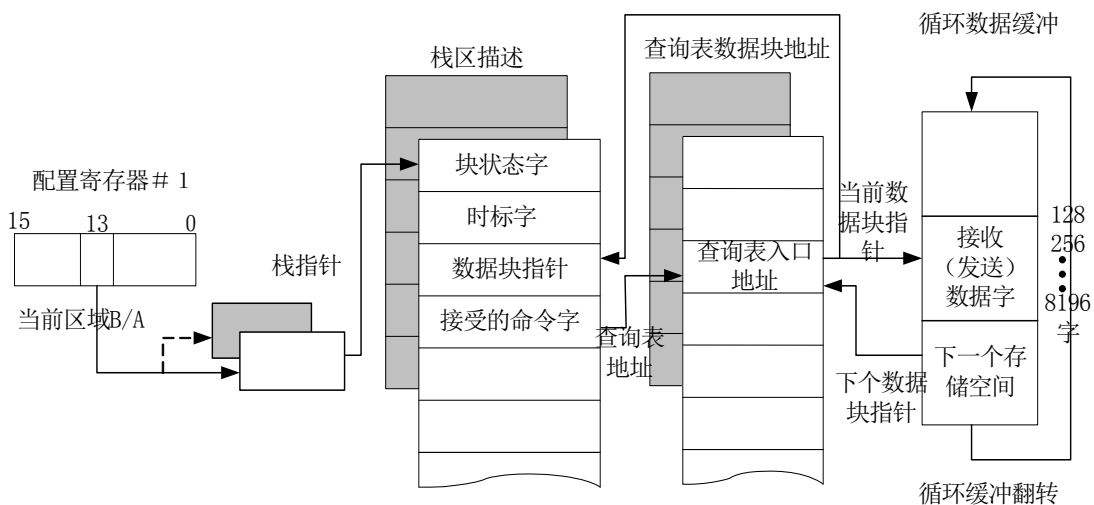
图 5 中给出了 RT 单一消息模式的存储器管理表。J61580R/J61581R 工作在 RT 默认模式下时，单一消息模式包括所有的发送、接收和广播子地址。在单一消息模式下（或子地址双缓冲或循环缓冲），J61580R/J61581R 也提供了全局的双缓冲区域（区域 A 和区域 B），通过配置寄存器#1 的第 13 位来选择存储区域。在图 5 中，显示了两套数据结构：栈指针（固定地址）、栈区描述块（用户自定义）、RT 查询表（固定地址）和 RT 数据块地址（用户自定义）。RT 的每个消息也有 4 个消息描述块，描述块的第 4 个字为 RT 收到的命令字，命令字中的子地址描述了数据块的存储基地址，通过判断命令字中的接收/发送位，可以相应的将接收到的数据字存储到以基地址为基准的存储空间或发送这些存储空间里的内容到 1553 总线。RT 每个消息的数据字块中的最大空间为 32 个字，当重复使用该消息子地址时，该数据块将会被覆盖。当然，同一子地址也可以访问不同的数据块，这样就不存在数据块覆盖的问题，但是，这种情况必须要求用户编写不同的查询表指针。



### 5.2.2.2 循环缓冲模式

图 6 给出了 RT 循环缓冲模式的存储器管理表。该模式适合大数据量的传输，从表 30 中，可以知道循环缓冲模式的空间可通过编写子地址控制字设置为 128-8196 个数据字。该模式和单一消息模式一样，在消息的开始，用户可以设置查询表的入口地址存储在消息描述块的第 3 个字。循环缓冲模式的数据的读取和存储也都是以查询表定义的指针为基地址。

在当前有效消息处理结束时，查询表指针的值将更新为下一个地址空间。这样，具有相同的接收/发送/广播子地址的下一个消息将直接访问邻近的下一个循环数据缓冲地址。我们推荐，查询表指针可被设置为在收到无效的消息时不更新为下个地址。这样也便于 BC 重发出错的消息，使有效的消息覆盖发送出错的消息。在使用该模式时，推荐使能循环缓冲中断。



### 5.2.2.3 子地址双缓冲模式

对于接收或广播子地址, J61580R/J61581R 提供了第三种可选择的 RT 存储器管理模式: 子地址双缓冲模式。该模式可以很好的保持数据的一致性。图 7 中给出了 RT 子地址双缓冲模式存储器管理表。与单一消息模式一样, 该模式也是通过设置 RT 子地址控制字中的位来选择的。设置该模式的目的是, 主要是为了使主机能方便的访问给定子地址收到的最近的有效的字。该模式为每一个给定的子地址收到 (或广播) 的有效字分配了两个存储数据块, 这样就保证了数据的高度一致性。

从图中可以看到两块数据存储块数据块 0 和数据块 1, 其中一个分配为“激活”状态, 另一个分配为“非激活”状态。下一个接收消息来的数据字将被存储在“激活”状态的数据块中, 当处理完这个消息, 并且该消息是有效的, 同时使能了子地址双缓冲模式, J61580R/J61581R 将为各自的子地址自动切换“激活”和“非激活”数据块。J61580R/J61581R 通过改写查询表指针的第 5 位并将改写的字回写给查询表指针来完成上述功能。这样一来, 接收到最近的有效数据字块将一直准备提供给主机访问。

使用这种方法, 确保主机能够访问到 RT 接收到的最近的有效的数据字块, 访问顺序如下:

- (1) 通过改写子地址控制字关闭双缓冲模式, 暂时切换成单一消息模式的存储器管理。
- (2) 读取当前接收 (或广播) 子地址查询表指针。该指针给出了“激活”的数据字块地址, 通过反向该指针的第 5 位, 其将指向“非激活”的数据字块, 该数据字块就是接收到的最近的有效数据字块。
- (3) 主机读取该数据字块。
- (4) 通过改写子地址控制字重新使能子地址双缓冲模式

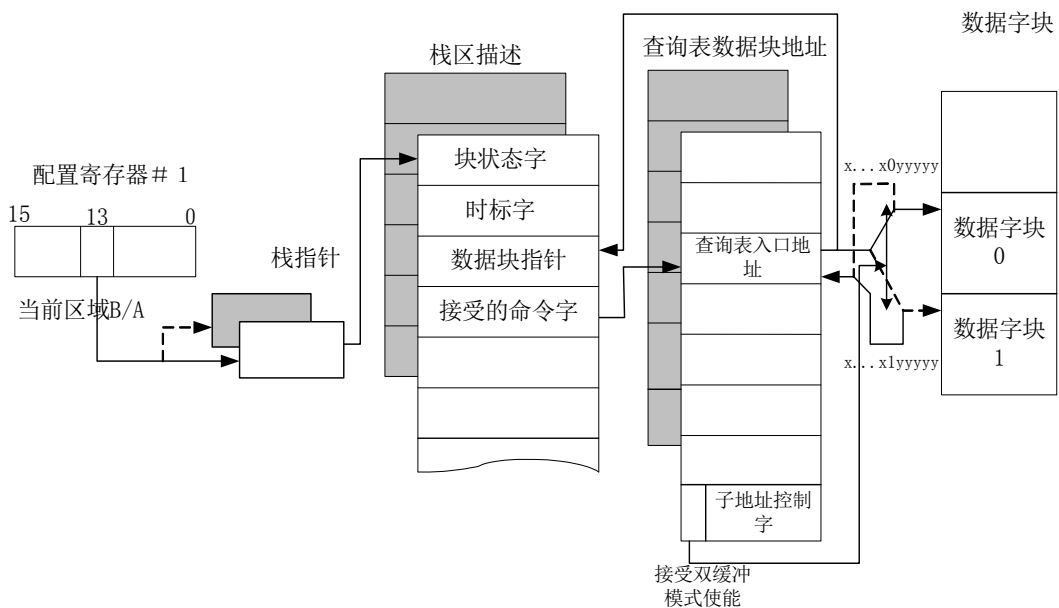


图 7 子地址双缓冲模式的 RT 存储器管理

### 5.2.2.4 RT 块状态字

在 RT 模式下，当 RT 对总线发送数据字时，内部也会产生相应的块状态字，该状态字存储在 RAM 空间中，其存储地址由软件编程设置，可以通过读该状态字来判断发送的正确性。表 31 给出了 RT 模式块状态字各个位的详细描述。

位	位描述
15 (最高)	消息截止
14	消息开始
13	通道 B/ $\bar{A}$
12	时标出错
11	RT-RT 格式
10	格式出错
9	响应超时
8	反馈测试失败
7	数据栈翻转
6	非法命令字
5	字计数出错
4	错误的同步头
3	非法字
2	RT-RT 模式下，延时/同步头/地址出错
1	RT-RT 模式，BC 的第二个命令字错误
0 (最低)	命令字出错

### 5.2.2.5 RT 指令非法化

J61580R/J61581R 电路为 RT 指令非法化提供了内部管理机制。该指令非法化表占用了内部 RAM256 个字的存储空间。提供这种内部逻辑可以减少该电路应用系统的简化，可以避免使用 PROM、PLD 或 RAM 等器件来完成非法化功能。J61580R/J61581R RT 指令非法化功能非常灵活，并共提供了 4096 种指令非法化情况。其中包括：广播/本地地址，发送/接收位，子地址，位计数/方式码等。同时，该功能还提高了电路的可测试性。

在表 32 中给出了指令非法化存储器地址的定义，从表中可以看出指令非法化基地址为 0300 (HEX)。内部存储器分配了 256 个字空间给指令非法化。对于同一个子地址，由于其最多可以接收 32 个数据字，因此，对于 32 种 RT 指令字均定义了非法化。

由于在非法化中对方式码的非法化也作了定义，因此在表 33 中给出了方式码对应的各个位的说明。在表 34 中，可以看到第一个 64 字的非法化空间用来定义广播模式的接收指令非法化。第二个 64 字空间用来定义广播模式的发送指令非法化。第三个 64 字空间用来定义非广播模式的接收指令非法化。第四个 64 字空间用来定义非广播模式的发送指令非法化。

对于指令非法化，下列这些情况是需要注意的：

(1) 对于给定的广播模式/本地地址/发送/接收子地址, 为了设定给定字计数的非法化, 表示该命令字非法的相应位 (从表 34 中查看) 必须设定为“1”。而设定为“0”则表示该命令字的有效。对于非法的命令字, RT 会自动设置 RT 模式状态字中的相应位。

(2) 对于子地址 1-30, “字计数/方式码”位表示给定指令字的字计数区, 逻辑“0”表示低 16 个字, 逻辑“1”表示高 16 个字。对于子地址 0 和 31, 该位表示给定指令字的方式码区, 即逻辑“0”表示方式码分配表中的低 16 位, 逻辑“1”表示方式码分配表中的高 16 位。

(3) 在 MIL-STD-1553B 协议中, 没有对非方式码广播模式发送消息进行定义, 因此, 在 RAM 区的 0342-037D 区域 (60 个字) 的非法化不用初始化。而对于这些区域的指令, 无论该指令非法化是否被设置, J61580R/J61581R 自动设置 RT 模式状态字中的相应位。如果下一条指令为发送状态字或发送上一条指令的方式码, J61580R/J61581R 将对 RT 状态字中的该位作出响应。

表 32 指令非法化 RAM 地址定义

位	描述
15 (最高)	0
14	0
13	0
12	0
11	0
10	0
9	1
8	1
7	广播/本地地址; 逻辑“1”时为广播模式, 逻辑“0”时为本地地址
6	发送/接收; 逻辑“1”时为发送指令, 逻辑“0”时为接收指令
5	子地址 4-0, 用来定义子地址。值为 1-30, 表示子地址, 值为 0 和 31 时, 表示指令为方式码。
4	
3	
2	
1	
0 (最低)	字计数/方式码; 逻辑“1”时, 当子地址为 1-30 时, 表示 0-15 个字的非法化, 当子地址为 0 或 31 时, 表示 0-15 位的非法化; 逻辑“0”时, 当子地址为 1-30 时, 表示 16-31 个字的非法化, 当子地址为 0 或 31 时, 表示 16-31 位的非法化。

表 33 方式码分配表

发送/接收位	方式码	功能说明	是否带数据字	是否允许广播模式
1	00000	动态总线控制	否	否
1	00001	同步	否	是
1	00010	发送状态字	否	否
1	00011	启动自测试	否	是
1	00100	发送器关闭	否	是

1	00101	取消发送器关闭	否	是
1	00110	禁止终端标志位	否	是
1	00111	取消禁止终端标志位	否	是
1	01000	复位远程终端	否	是
1	01001	备用	否	待定
•	•	•	•	•
•	•	•	•	•
•	•	•	•	•
1	01111	备用	否	待定
1	10000	发送矢量字	是	否
0	10001	同步	是	是
1	10010	发送上一个指令字	是	否
1	10011	发送自检测字	是	否
0	10100	选定的发送器关闭	是	是
0	10101	取消选定的发送器关闭	是	是
1 或 0	10110	备用	是	待定
•	•	•	•	•
•	•	•	•	•
•	•	•	•	•
1 或 0	11111	备用	是	待定

表 34 指令非法化 RAM 区设置表

地址	数据	描述
0300	FFFF	子地址 0, 广播模式接收方式码。同步 (带数据字) 有效。
0301	FFFD	
0302-030D	FFFF	广播模式接收子地址 1-6 非法。
030E-030F	0000	广播模式接收子地址 7 有效。
0310-033D	0000	广播模式接收子地址 8-30 有效。
033E	FFFF	子地址 31, 广播模式接收方式码。同步 (带数据字) 有效。
033F	FFFD	
0340	FE05	子地址 0, 广播发送模式方式码。同步 (不带数据字), 启动自测试, 发送器关闭, 取消发送器关闭, 禁止终端标志位, 取消禁止终端标志位, 复位远程终端有效。
0341	FFFF	
0342-037D	不必要编程 (非方式码广播模式发送指令)。	
037E	FE05	子地址 31, 广播模式发送方式码。同步 (不带数据字), 启动自测试, 发送器关闭, 取消发送器关闭, 禁止终端标志位, 取消禁止终端标志位, 复位远程终端有效。
037F	FFFF	
0380	FFFF	子地址 0, 非广播模式接收方式码。同步 (带数据字) 有效。
0381	FFFD	
0382-03BD	FFFF	非广播模式接收子地址 1-30 非法。
03BE	FFFF	子地址 31, 非广播模式发送方式码。同步 (带数据字) 有效。
03BF	FFFD	

03C0	FE00	子地址 0, 非广播模式发送方式码。动态总线控制, 同步 (不带数据字), 发送状态字, 启动自测试, 发送器关闭, 取消发送器关闭, 禁止终端标志位, 取消禁止终端标志位, 复位远程终端, 发送矢量字, 发送上一个指令字, 发送自检测字有效。
03C1	FFF2	
03C2-03FD	0000	非广播模式发送子地址 1-30 有效。
03FE	FE00	子地址 31, 非广播模式发送方式码。动态总线控制, 同步 (不带数据字), 发送状态字, 启动自测试, 发送器关闭, 取消发送器关闭, 禁止终端标志位, 取消禁止终端标志位, 复位远程终端, 发送矢量字, 发送上一个指令字, 发送自检测字有效。
03FF	FFF2	

### 5.2.3 监测器 (MT) 结构

J61580R/J61581R 电路能提供三种总线监测 (MT) 模式:

- (1) 典型的字监测模式
- (2) 可选择的消息监测模式
- (3) RT/可选择消息监测并存模式

#### 5.2.3.1 典型的字监测模式

在典型的字监测模式下, J61580R/J61581R 电路能监测并存储两条总线上收到的所有的命令字、状态字、和数据字。MT 每从总线上监测一个字, 其均在 RAM 中存储两组字。第一个为其监测的字, 另一个为监测识别字或标记字。该标记字包含了总线通道类型、同步字头类型、字合法化, 以及内部字时间间隙。J61580R/J61581R 电路存储的数据和标记字在内部 RAM 的循环缓冲区。表 35 给出了监测标记字的各位的描述。

位	位描述
15 (最高)	间隙时间
•	•
•	•
•	•
8	间隙时间
7	字标记
6	命令字/状态字接收有效校验位
5	广播模式
4	错误
3	命令 (高) /数据 (低)
2	通道 B (高) /A (低)
1	临近的数据 (高) /间隙 (低)
0 (最低)	方式码 (低)

### 5.2.3.2 监测触发字

在表 18 中对 MT 触发字寄存器进行了说明,该寄存器为 J61580R/J61581R 的字监测模式提供了灵活的触发方式。在 MT 启动之前用户可以编写好相应的命令字存入该寄存器,该命令字即为 MT 的触发命令字。当 MT 收到 1553 总线上的命令字与该寄存器中的命令字相同时, MT 将自动启动,从而监测 1553 总线上的一切活动。

### 5.2.3.3 可选择的消息监测模式

MT 模式提供的可选择消息监测模式能减轻主机的编程和处理进程的负担。这种监测模式能通过对接收到的 1553 命令字的 RT 地址、发送/接收位、以及子地址区域等信息的判断,选择性的监测。其通过区分命令字和状态字能极大的简化主机的软件配置。这种监测模式在内部 RAM 中占用了两个栈区:命令字栈区和数据字栈区。表 36 中给出了该模式的地址空间分布。同时, MT 模式在监测消息时,内部会产生一个监测消息的块状态字,该状态字存储在 RAM 区中,其存储地址由软件编程设置,外部通过读该状态字,可以判断 MT 模式消息监测的状态。表 37 对消息监测模式的块状态字各位进行了详细的描述。

表 36 可选择消息监测模式地址空间分布

地址 (HEX)	地址空间描述
0000-0101	保留
0102	区域 A 监测命令栈指针 (固定地址)
0103	区域 A 监测数据栈指针 (固定地址)
0104-0105	保留
0106	区域 B 监测命令栈指针 (固定地址)
0107	区域 B 监测数据栈指针 (固定地址)
0108-027F	保留
0280-02FF	选择监测查询表 (固定区域)
0300-03FF	保留
0400-07FF	区域 A 监测命令栈区
0800-0FFF	区域 A 监测数据栈区

表 37 消息监测模式块状态字

位	位描述
15 (最高)	消息截止
14	消息开始
13	通道 B/ $\bar{A}$
12	时标出错
11	RT-RT 传输
10	格式出错
9	响应时间超时
8	正确的数据块传输
7	数据栈翻转



6	保留
5	字计数出错
4	错误的同步头
3	非法字
2	RT-RT 模式下, 延时/同步头/地址错误
1	RT-RT 模式下, BC 的第二个命令字出错
0 (最低)	保留

#### 5.2.3.4 同步 RT/消息监测模式

可选择消息监测模式可配置为完全被动的监测器也可以软件设置为同步 RT 的监测器。该 RT/监测器模式提供了完整的 RT 的操作功能(不带 RT 地址)和其它 30 个非广播模式 RT 地址总线的监测。工作在该模式下的电路既有 RT 的功能, 又能监测总线上的所有的或部分的活动。这种工作模式, 有时候需要在总线上备份一个总线控制器。其在地址空间中占用三个栈空间: RT 命令字栈, 监测命令字栈和监测数据字栈。

## 六、电参数

表 38 绝对最大额定值

名称	范围	单位
电源电压范围 ( $V_{DD}$ )	-0.3~7	V
输入电压范围 ( $V_{IN}$ )	-0.3~ $V_{DD}+0.3$	V
功耗 ( $P_D$ )	3	W
结至外壳的热阻( $R_{th(J-C)}$ )	6.8	°C/W
引线耐焊接温度 ( $T_h$ ) (10s)	300	°C
贮存温度 ( $T_{stg}$ )	-65~+150	°C

表 39 电特性表

特性	符号	极限值		单位
		最小	最大	
接收器的差分输入阻抗	$R_I^b$	2.5	—	K $\Omega$
接收器差分输入容抗	$C_I^b$	—	5	pF
接收器输入阈值电压	$V_{THD}$	0.200	0.860	V
接收器输入共模电压	$V_{PEAK}$	—	10	V
发送器差分输出电压	$V_{PP}$	6	9	V
		18	27	
发送器输出噪声电压	$V_{NS}$	—	10	mV

表 39 电特性表

特性	符号	极限值		单位
		最小	最大	
发送器输出偏移电压	$V_{OS}$	-250	250	mV
发送器上升沿时间	$t_R$	100	300	ns
发送器下降沿时间	$t_f$	100	300	ns
数字协议输入高电平电压	$V_{IH}$	2.4 <sup>注</sup>	—	V
数字协议输入低电平电压	$V_{IL}$	—	0.8	V
数字协议输入高电平漏电流	$I_{IH}$	-10	10	uA
		-692	-84	uA
		-346	-42	uA
数字协议输入低电平漏电流	$I_{IL}$	-794	-100	uA
		-397	-50	uA
数字协议输出高电平电压	$V_{OH}$	2.4	—	V
数字协议输出低电平电压	$V_{OL}$	—	0.4	V
数字协议输出低电平电流	$I_{OL}$	6.4	—	mA
		3.2	—	mA
数字协议输出高电平电流	$I_{OH}$	—	-6.4	mA
		—	-3.2	
输入电容（数字端）	$C_i^b$	—	50	pF
模拟输出高电平电压	$V_{OHM}$	2.0	—	V
模拟输出低电平电压	$V_{OLM}$	—	0.8	V
数字电源额定电压	$V_D$	4.5	5.5	V
模拟电源额定电压	$V_A$	4.75	5.25	V
模块电路静态电流	$I_{DDS}$	—	200	mA
模块电路动态电流	$I_{DD1}$	—	200	mA
	$I_{DD2}$	—	350	
	$I_{DD3}$	—	500	
	$I_{DD4}$	—	800	
模块电路动态功耗	$P_A$	—	1.00	W
		—	1.43	
		—	1.86	
		—	2.72	

表 39 电特性表

特性	符号	极限值		单位
		最小	最大	
单个芯片热测试功耗	$P_S$	—	0.25	W
		—	0.68	
		—	1.11	
		—	1.97	
BC/RT/MT 响应超时时间	$T_{RS}$	17.5	19.5	$\mu s$
		21.5	23.5	
		49.5	51.5	
		127	131	
RT 响应超时时间	$T_{RT}$	4	7	$\mu s$
功能测试		—	—	—

注：输入高电平  $V_{IH}$  实测值为 2.2V

表 40 推荐工作条件如下

项目	范围	单位
电源电压 ( $V_{DD}$ )	-5±0.5	V
工作温度 ( $T_A$ )	-55~+125	°C
工作频率 ( $f$ )	16/12	MHz

主要可靠性指标：

抗静电能力 ESD	≥2000V
抗门锁电流	≥200 mA
抗总剂量：	≥100Krad (Si)
抗单粒子锁定：	≥75Mev/mg/cm <sup>2</sup>
抗单粒子翻转：	≥37Mev/mg/cm <sup>2</sup>

## 七、典型应用描述

### 7.1 系统接口示意图及时序

#### 7.1.1 系统接口示意图

J61580R/J61581R 与 16 位主机缓冲模式的接口通讯图如图 8。

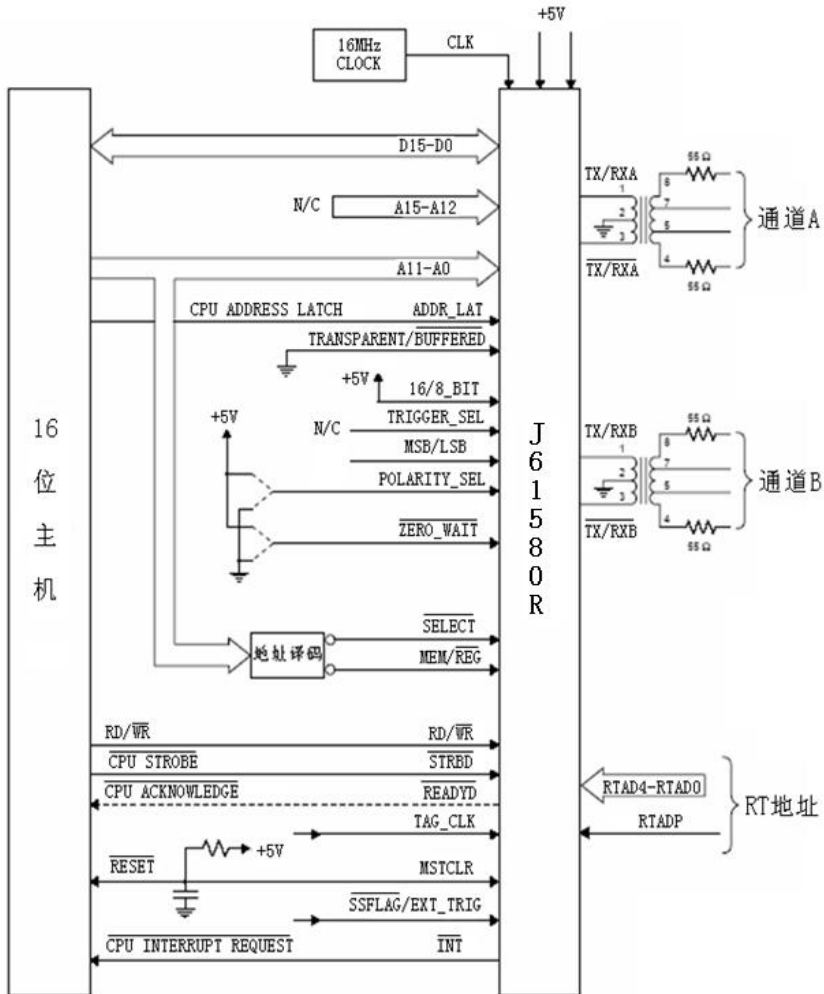


图8 J61580R 与 16 位主机接口——缓冲模式

J61580R/J61581R 与 16 位主机的透明模式的接口图，如图 9 所示。

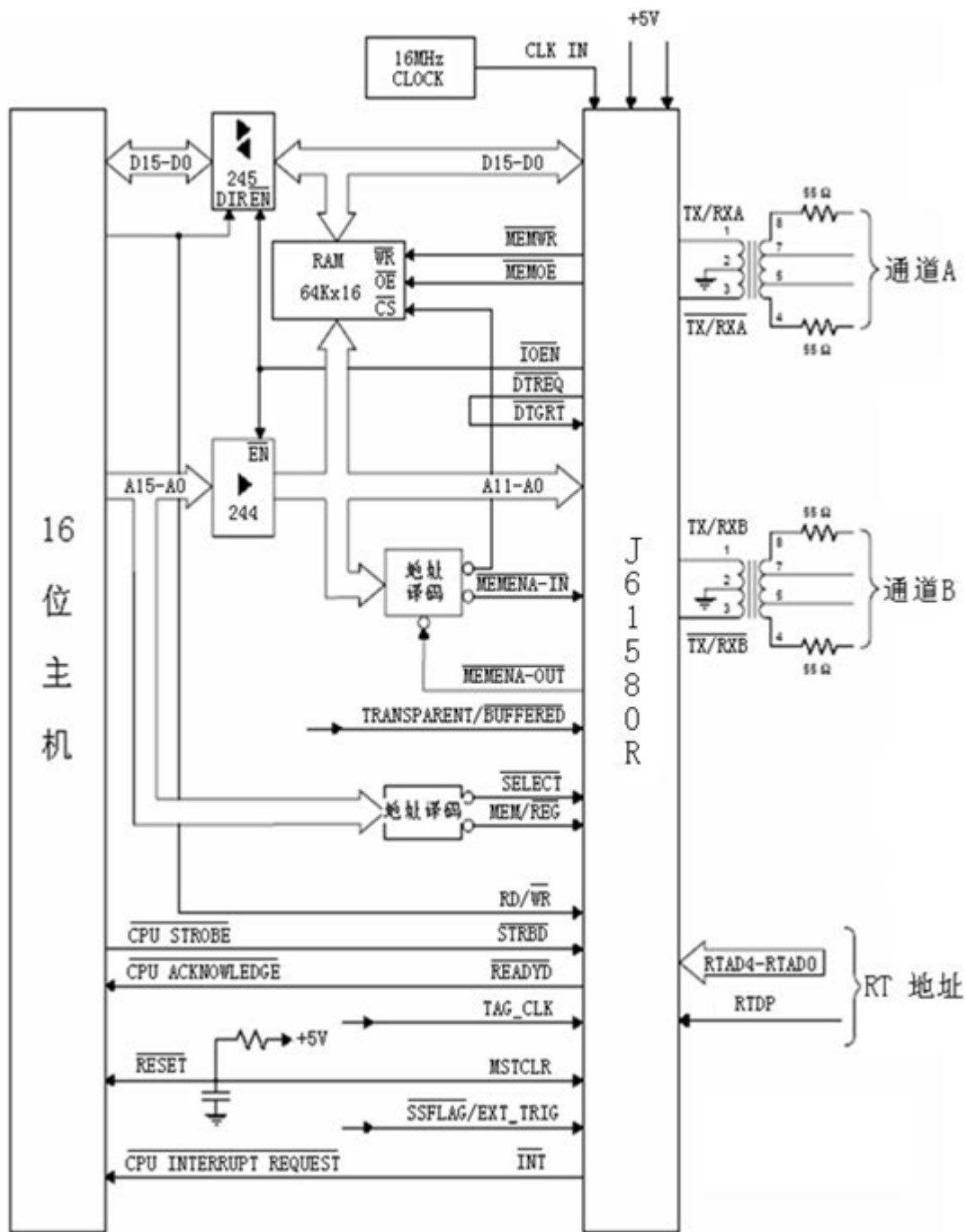


图9 J61580R 与 16 位主机接口——透明模式

### 7.1.2 系统时序

下图 10、11 给出了缓冲模式下 J61580R/J61581R 与 16 位主机通讯时，主机的读写存储器的时序图。并在表 41、42 中对时序图中的时标进行了详细的说明。

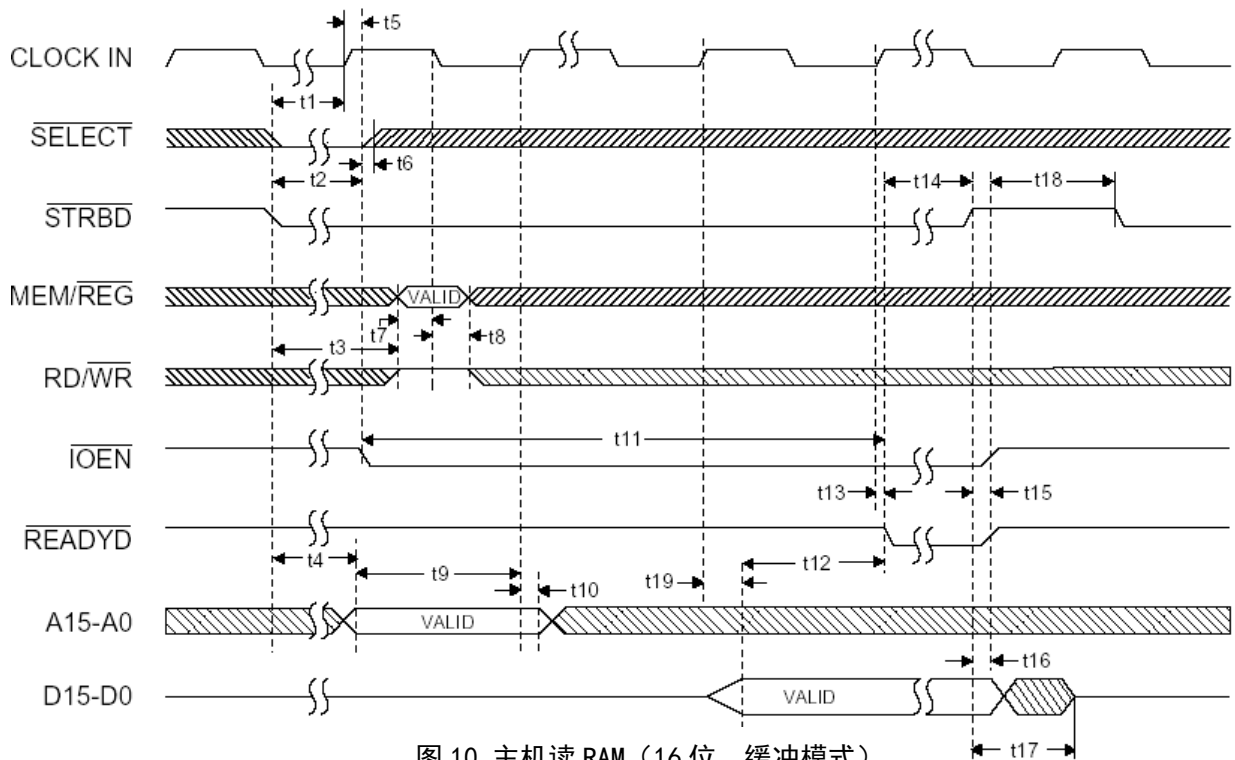


图 10 主机读 RAM (16 位, 缓冲模式)

表 41 主机读 RAM 或 REG (16 位, 缓冲, 非零等待模式)

参考	描述	最小	典型	最大	单位
t1	时钟开始上升前 SELECT及STRBD为低的建立时间	10			ns
t2	SELECT及STRBD下降沿到IOEN下降沿之间的延迟时间 (非竞争访问@16MHz)			107.5	ns
	SELECT及STRBD下降沿到IOEN下降沿之间的延迟时间 (竞争访问@16MHz)			2.8	us
	SELECT及STRBD下降沿到IOEN下降沿之间的延迟时间 (非竞争访问@12MHz)			128.3	ns
	SELECT及STRBD下降沿到IOEN下降沿之间的延迟时间 (竞争访问@12MHz)			3.7	us
t3	SELECT及STRBD下降沿后 MEM/REG及 RD/WR的建立时 间(@16MHz)			10	ns
	SELECT及STRBD下降沿后 MEM/REG及 RD/WR的建立时 间(@12MHz)			20	ns

t4	SELECT 及 $\overline{\text{STRBD}}$ 下降沿后地址有效的建立时间 (@16MHz)			30	ns
	SELECT 及 $\overline{\text{STRBD}}$ 下降沿后地址有效的建立时间 (@12MHz)			50	ns
t5	CLOCK IN 开始上升到 $\overline{\text{IOEN}}$ 下降沿之间的延迟时间			35	ns
t6	$\overline{\text{IOEN}}$ 下降沿后 SELECT 的保持时间	0			ns
t7	CLOCK IN 开始下降前 MEM/REG 及 RD/ $\overline{\text{WR}}$ 的建立时间	10			ns
t8	CLOCK IN 开始下降后 MEM/REG 及 RD/ $\overline{\text{WR}}$ 的保持时间	30			ns
t9	CLOCK IN 开始上升前地址有效的建立时间	30			ns
t10	CLOCK IN 开始上升后地址的保持时间	30			ns
t11	$\overline{\text{IOEN}}$ 下降沿到 $\overline{\text{READYD}}$ 开始下降时的延时 (读 RAM @16MHz)	170	187.5	205	ns
	$\overline{\text{IOEN}}$ 下降沿到 $\overline{\text{READYD}}$ 开始下降时的延时 (读 RAM @12MHz)	235	250	265	ns
	$\overline{\text{IOEN}}$ 下降沿到 $\overline{\text{READYD}}$ 开始下降时的延时 (读寄存器 @16MHz)	170	187.5	205	ns
	$\overline{\text{IOEN}}$ 下降沿到 $\overline{\text{READYD}}$ 开始下降时的延时 (读寄存器 @12MHz)	235	250	265	ns
t12	$\overline{\text{READYD}}$ 开始下降前输出数据有效的时间 (@16MHz)	33			ns
	$\overline{\text{READYD}}$ 开始下降前输出数据有效的时间 (@12MHz)	54			ns
t13	CLOCK IN 开始上升到 $\overline{\text{READYD}}$ 开始下降之间的延迟时间			35	ns
t14	$\overline{\text{READYD}}$ 开始下降到 $\overline{\text{STRBD}}$ 上升释放之间的时间			$\infty$	ns
t15	$\overline{\text{STRBD}}$ 上升结束到 $\overline{\text{IOEN}}$ 上升沿及 $\overline{\text{READYD}}$ 上升沿之间的延时			30	ns
t16	$\overline{\text{STRBD}}$ 上升结束后输出数据的保持时间	0			ns
t17	$\overline{\text{STRBD}}$ 上升结束到输出数据三态时的延迟时间			40	ns
t18	从 $\overline{\text{READYD}}$ 上升沿开始 $\overline{\text{STRBD}}$ 为高的保持时间	0			ns
t19	CLOCK IN 上升沿到输出数据有效时的延迟时间			60	ns

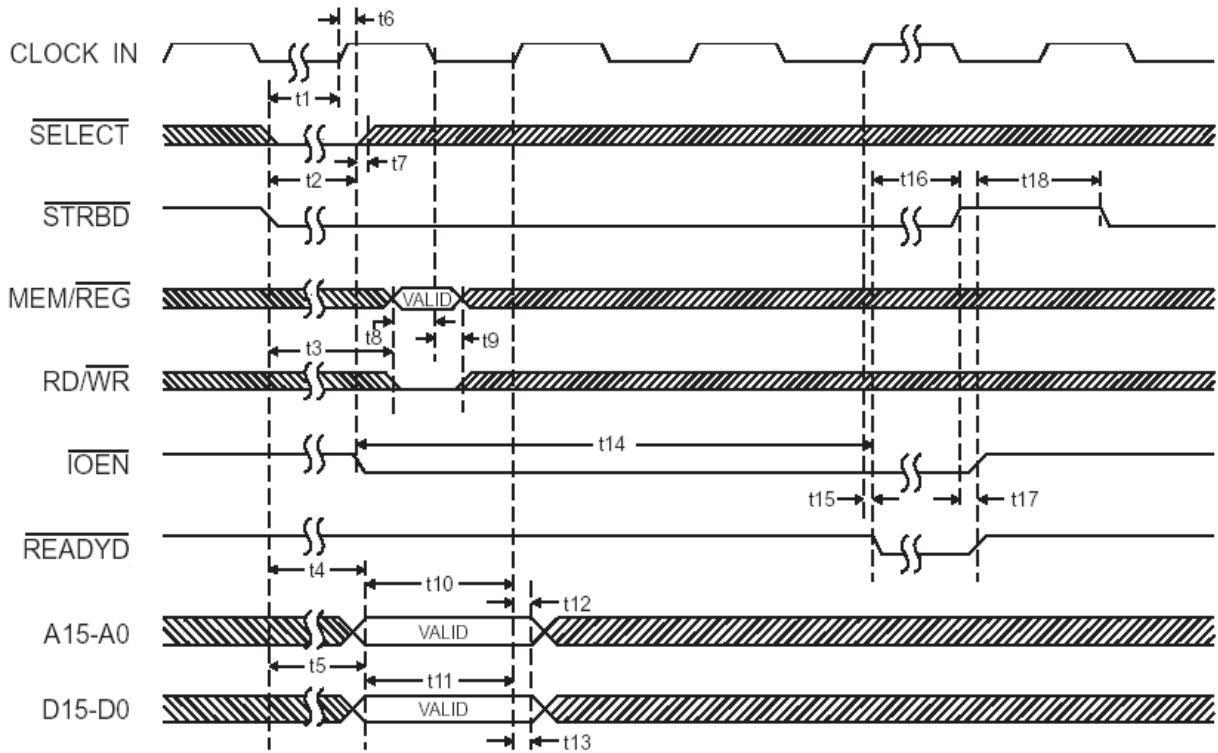


图 11 主机写 RAM 或 REG (16 位, 缓冲模式)

表 42 主机写 RAM 或 REG (16 位, 缓冲, 非零等待模式)

参考	描述	最小	典型	最大	单位
t1	时钟开始上升前SELECT及STRBD为低的建立时间	10			ns
t2	SELECT及STRBD下降沿到IOEN下降沿之间的延迟时间 (非竞争访问@16MHz)			107.5	ns
	SELECT及STRBD下降沿到IOEN下降沿之间的延迟时间 (竞争访问@16MHz)			2.8	us
t2	SELECT及STRBD下降沿到IOEN下降沿之间的延迟时间 (非竞争访问@12MHz)			128.3	ns
	SELECT及STRBD下降沿到IOEN下降沿之间的延迟时间 (竞争访问@12MHz)			3.7	us
t3	SELECT及STRBD下降沿后 MEM/REG及 RD/WR的建立时间 (@16MHz)			10	ns
	SELECT及STRBD下降沿后 MEM/REG及 RD/WR的建立时间 (@12MHz)			20	ns
t4	SELECT及STRBD下降沿后地址有效的建立时间 (@16MHz)			30	ns
	SELECT及STRBD下降沿后地址有效的建立时间 (@12MHz)			50	ns



t5	SELECT及STRBD下降沿后输入数据有效的建立时间 (@16MHz)			50	ns
	SELECT及STRBD下降沿后输入数据有效的建立时间 (@12MHz)			70	ns
t6	CLOCK IN 开始上升到IOEN下降沿之间的延迟时间			35	ns
t7	IOEN下降沿之后SELECT的保持时间	0			ns
t8	CLOCK IN 下降结束之前 MEM/REG及 RD/WR的建立时间	10			ns
t9	CLOCK IN 下降结束之后 MEM/REG及 RD/WR的保持时间	30			ns
t10	CLOCK IN 开始上升之前地址有效的建立时间	30			ns
t11	CLOCK IN 开始上升之前输入数据有效的建立时间	10			ns
t12	CLOCK IN 开始上升之后地址有效的保持时间	30			ns
t13	CLOCK IN 开始上升之后输入数据有效的保持时间	30			ns
t14	IOEN下降沿到READYD开始下降时的延迟时间 (@16MHz)	170	187.5	205	ns
	IOEN下降沿到READYD开始下降时的延迟时间 (@12MHz)	235	250	265	ns
t15	CLOCK IN 开始上升到READYD开始下降之间的延迟时间			35	ns
t16	READYD开始下降到STRBD上升释放之间的时间			$\infty$	ns
t17	STRBD上升结束到IOEN上升沿及READYD上升沿之间的延迟时间			30	ns
t18	从READYD上升沿开始保持STRBD为有效高的时间	0			ns

## 7.2 软件初始化等操作方法说明与使用建议

J61580R 电路的初始化主要包含寄存器的初始化和存储器初始化，这里给出了 RT 模式范例，仅供参考；其代码如下：

### 1 寄存器的初始化

```

R03 ← 0001
R07 ← 8000
R00 ← 0036 I
R02 ← B803
R07 ← 801D
R08 ← 2008
R09 ← 890E
    
```

### 2 存储器的初始化

```

M0000 ← 0000
...
    
```



M00FC ← 0000

M0100 ← 0000

M0108 ← 0000

M0109 ← 0002

M010A ← 010A

M010B ← 0000

M010C ← 0000

M010D ← 0000

M010E ← 010A

M010F ← 0000

M0111 ← 0000

M0120 ← 1234

M0147 ← 0800

M0153 ← 0440

M0161 ← 0400

M015E ← 0480

M017E ← 0480

M0187 ← 0C00

M0193 ← 04A0

M019E ← 0480

M01A1 ← 4000

M01A7 ← 018C

M01B3 ← 8210

M01BE ← 0000

M0240 ← 0000

...

M0247 ← 0000

M0300 ← 0000

M0301 ← FFFD

M0302-030D ← FFFF

M030E-030F ← 0000

M0310-0325 ← FFFF

M0326-0327 ← 0000

M0328-033B ← FFFF



M033C-033D ← 0000  
M033E ← FFFF  
M033F ← FFFD  
M0340 ← FE05  
M0341 ← FFFF  
M037E ← FE05  
M037F ← FFFF  
M0380 ← FFFF  
M0381 ← FFFD  
M0382-038D ← FFFF  
M038E-038F ← 0000  
M0390-03A5 ← FFFF  
M03A6-03A7 ← 0000  
M03A8-03BB ← FFFF  
M03BC-03BD ← 0000  
M03BE ← FFFF  
M03BF ← FFFD  
M03C0 ← FE00  
M03C1 ← FFF2  
M03C2-03C3 ← 0000  
M03C4-03FB ← FFFF  
M03FC-03FD ← 0000  
M03FE ← FE00  
M03FF ← FFF2  
M0400 ← 0000  
M0401 ← 0001  
...  
...  
...  
M041F ← 001F

### 3 寄存器的初始化

R01 ← 8F80

其中 R03 ← 0001 代表给寄存器地址 3(16 进制)赋值为 0001(16 进制), M0000 ← 0000 代表给存储器地址 0 (16 进制) 赋值为 0 (16 进制)

### 7.3 应用指导建议

#### 7.3.1 J61580R 电路与 1553 总线的推荐连接方式

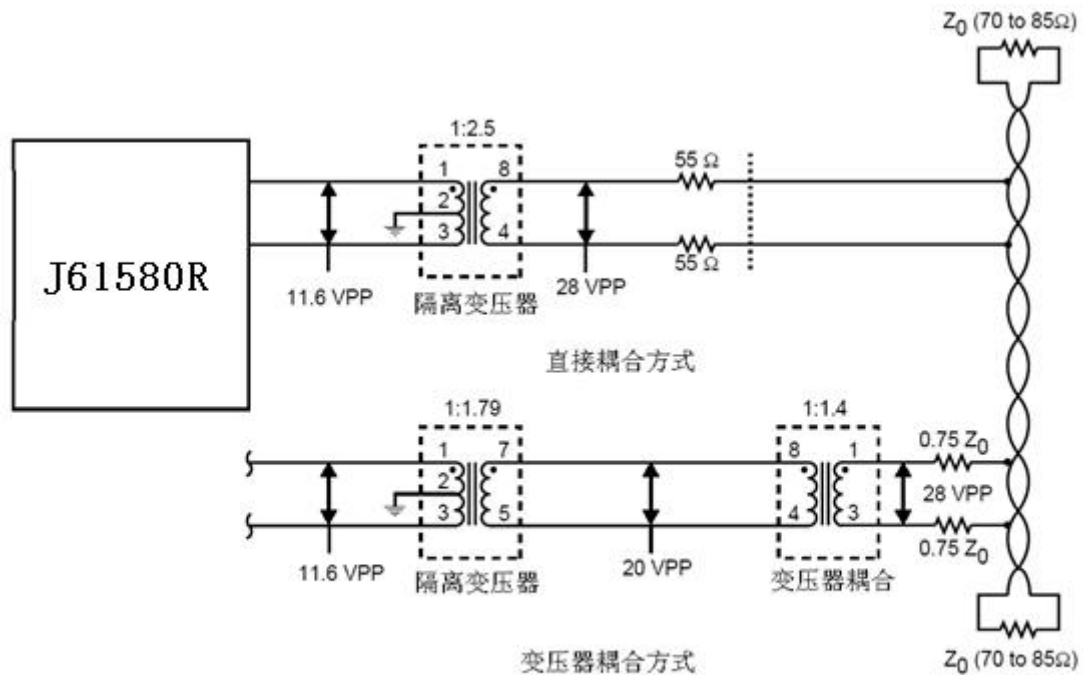


图 12 J61580R 电路与 1553 总线连接方式

为防止电路非标准接法接入总线引起 1553 总线输出阻抗不匹配，信号反射等系列问题，导致用户系统通信出现问题，降低系统可靠性，强烈推荐使用图 12 标准接法，保证系统可靠性。

J61580R 电路的输入端均带有上拉设计，方便用户根据自己需要进行选用连接。

#### 7.3.2 J61580R 与 MIL-STD-1553 总线接口及变压器选择

##### a、总线接口

图 13 给出 J61580R/J61581R 电路终端与 1553 总线的接口，还指出了直接耦合与变压器耦合的连接情况，以及出现在各点上（当发送时）的电压峰-峰值。

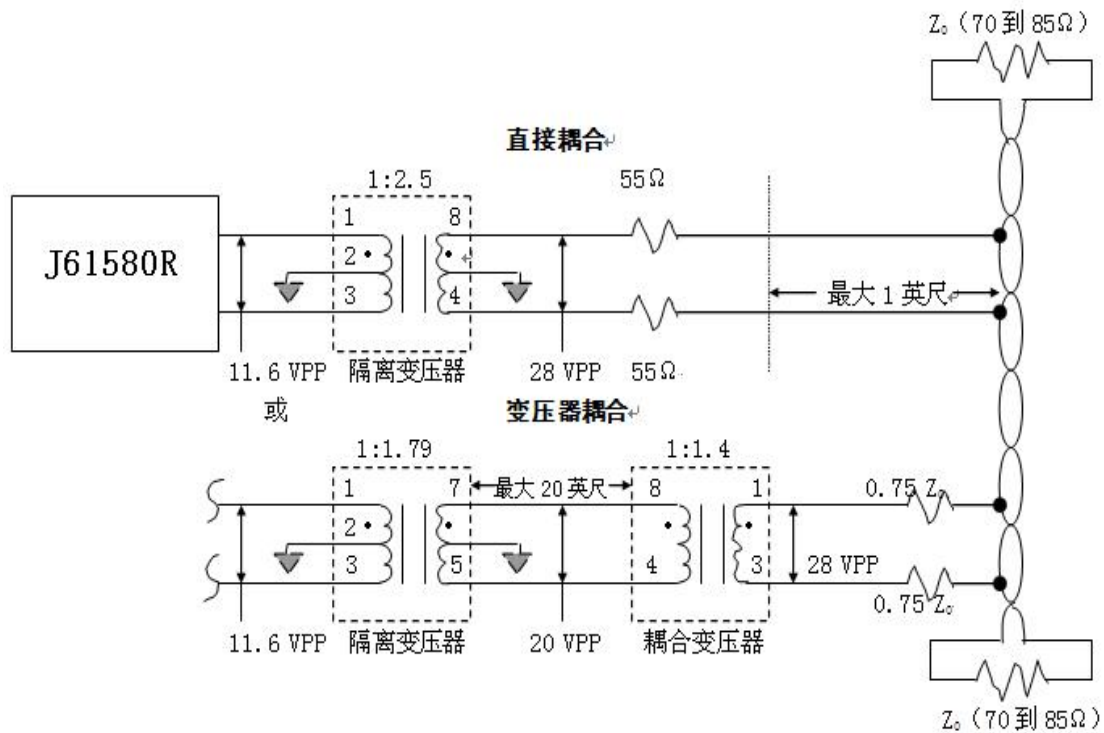


图 13 J61580R/J61581R 与 1553 总线接口

### b、变压器

选择隔离变压器时，其漏电感的最大值有限制。如果超出限制值，发射器的上升和下降时间可能会增加，如果增加就会导致总线上的幅值下降到低于 1553 标准要求的最低水平。另外，过度的漏电感会导致变压器动态补偿超出 1553 标准的规定。最大允许漏电感为 6.0uH，其测量方式为：变压器与电路连接的一侧称为初级绕组。如果初级绕组的一侧与中心抽头短接，那么在次级绕组侧将能测量到电感值。这个值一定小于 6.0uH。同样，将初级绕组的另一侧与中心抽头连接也能得到一样的结果。两种测量方法的不同点在于测得的漏电感值不一样，但都小于 1.0uH。

根据以上要求，表 43 列出了 J61580R/J61581R 电路终端所需的隔离变压器型号。

ACE 代号	匝数比		推荐的变压器模型	
	直接耦合	变压器耦合	嵌入	表面支架
BU61580/ BU61581	1: 2.5	1:1.79	B-3226 (可替换 B-3067)	B-3227 (可替换 B-3072)

### 7.3.2 板级应用要求

1)、使用至少 4 层 PCB 板（顶层至底层）：信号层、地层、电源层、信号层。电源和地之间应使用去耦电容和旁路电容。

2)、模拟端口输出采用差分信号，信号线四围不能覆铜、不能走普通信号线，防止引入干扰信号。差分信号线尽量保持等长度，并适度加粗信号线。模拟端与隔离变压器及接入总线端口间的距离尽量缩短。这有助于确保来自电路板的噪声不被拾取到差分线路上，并且不会从电路板的互连电缆泄露而成干扰电路板的 EMI。

### 3)、板卡上隔离变压器的使用

隔离变压器应当放置在离收发引脚 (IN\_A/ IN\_A\_、IN\_B/ IN\_B\_) 尽可能近的位置。并且，它与电路板以外的任意接头或电缆连接的距离也是越短越好。减小混合地到变压器和变压器到接头之间的距离，不仅能够限制发送时模拟信号通道上的电压降，还能最小化电路板上其他信号的干扰。

变压器 (直接) 耦合终端的输出端与外部系统接头连接一般使用  $78\Omega$  的双绞线屏蔽电缆，这样能使得阻抗中断最小化。中心抽头与隔离变压器的二次端、输出屏蔽、总线屏蔽及框架接地线是开路还是闭路连接取决于系统的基本因素，比如取决于对电磁干扰、射频干扰及速度的考虑。

大部分系统都要求 1553 终端的输入阻抗在系统接口处必需测量，尽管 1553B 标准测量的需求实际上是为了从隔离变压器的总线端能够直接看出测量值。相对长一些的输出电缆将会减小测量阻抗 (从总线侧看)。为了保持阻抗在所要求的  $1000\Omega$  的水平以上 (对变压器耦合端而言)，RT 与系统接口之间的电缆长度应当最短化。

## 注意事项

- 1) 采用标准接法；见图 13，不用另行增加限流电阻；
- 2) 复位时间保持在 100ns 以上；
- 3) 由于 J61580R 电路应用广泛，为了满足不同用户的使用，电路盖板内部没有进行接地处理，如用户系统需要防止 J61580R 盖板积累电荷引起静电，请在系统装配时对电路盖板进行接地处理。

## 7.4 J61580R 电路处理器端接口应用简介

J61580R 电路是 1553B 总线节点控制器电路，电路引脚根据功能主要分为 1553B 总线接口端和处理器接口端。J61580R 电路为处理器接口端提供了灵活的接口方式，其中数据总线支持 8 位、16 位模式，具有缓冲、透明模式等功能。不同的接口方式有助于将 8、16、32 位处理器接口资源复杂度降至最低。

### 7.4.1 32 位主机模式

16 位缓冲模式是较常使用的方案。它提供了直接的内部共享 RAM 接口与 16 位、32 位

微处理器连接方案。图 14 为 16 位缓冲模式与 32 位机处理器接口示意图。

如图 14 所示，32 位处理器的低 16 位数据总线与 J61580R 电路相连，高 16 位数据总线浮空（或者高 16 位数据总线与 J61580R 电路相连，低 16 位数据总线浮空，根据处理器硬件特点决定），片选信号、存储器/寄存器选择信号，通过地址线的译码逻辑产生，极性选择信号指示 J61580R 电路的读/写信号高读低写或者高写低读，零等待信号指示 J61580R 电路是否需要与处理器之间进行握手等待。若需要，则 READYD 信号与处理器的握手信号连接。其余信号可按照图 14 所示连接即可。

例如，使用 772 所自行设计研制的基于 SPARC V8 架构的处理器 BM3803，与 J61580R 电路之间的 16 位缓冲接口方案如下：

处理器的 D0~D15 与 J61580R 电路的 D0~D15 连接；由于 BM3803 为单字节寻址，在使用 32 位数据总线模式时，地址最低有效位为 A2，故 BM3803 处理器的 A2~A13 依次连接至 J61580R 电路的 A0 至 A11；J61580R 电路的片选信号由 BM3803 的 IOSN（IO 空间选择信号）和地址线进行译码逻辑，选中 J61580R 电路的内部 RAM 和寄存器；将 J61580R 电路的极性选择信号置高，BM3803 的写信号与 J61580R 电路的读/写信号相连；将 J61580R 电路的零等待信号置高，并将 READYD 信号与 BM3803 的 READY 信号相连；J61580R 电路的外部触发信号置高；J61580R 电路的 TAG\_CLK 信号置低；J61580R 电路的 ADDR\_LAT 信号置高；J61580R 电路的其它信号可按照图 14 所示连接即可。

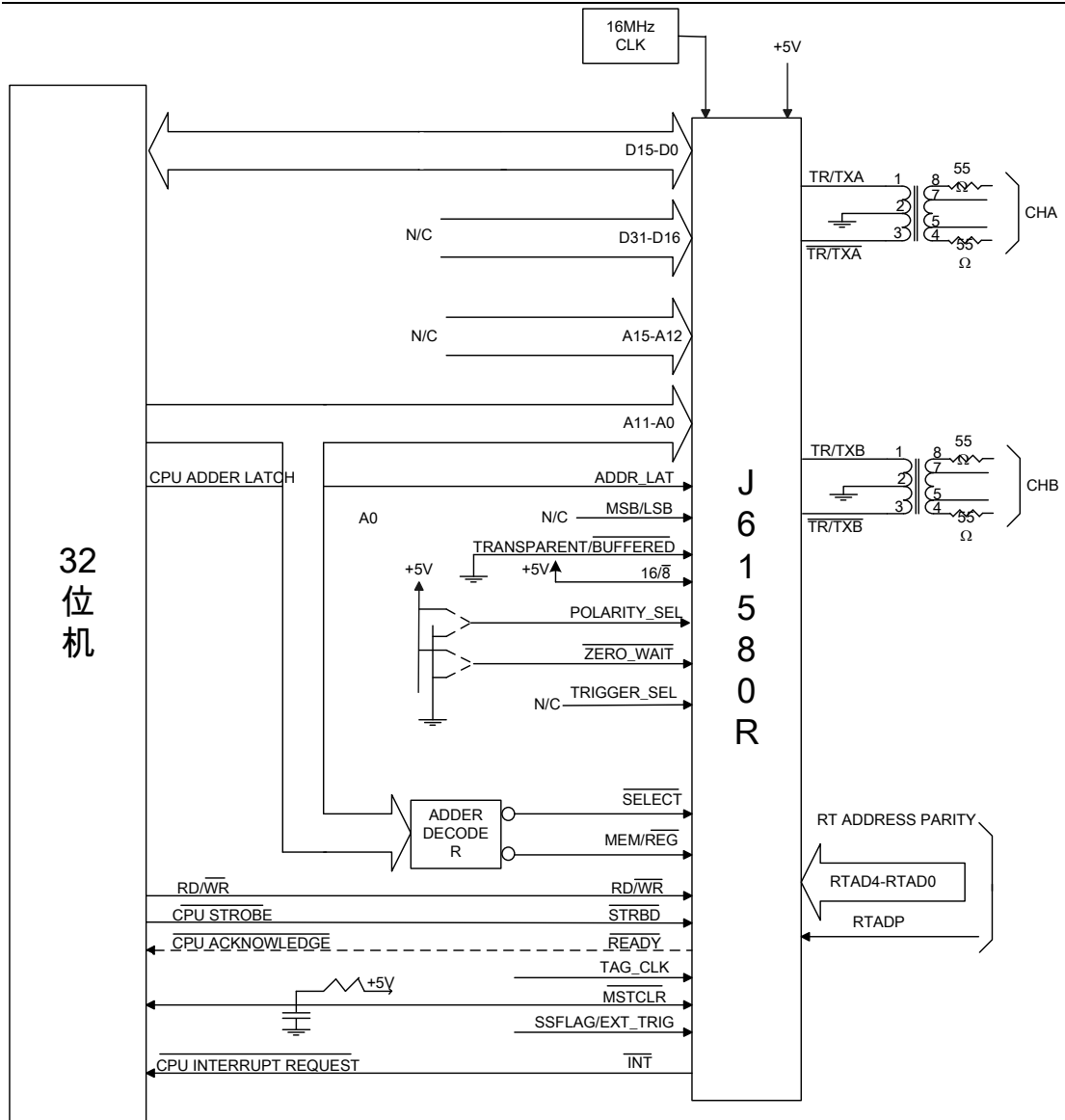


图 14 J61580R 电路 16 位缓冲模式与 32 位机接口示意图

### 7.4.2 16 位主机模式

TI 公司的 TMS320F2812 为 C2000 系列的 DSP，为 16 位数据总线接口，与 J61580R 电路之间的接口方案如图 15 示。图 15 为 16 位缓冲模式与 16 位机处理器接口示意图。



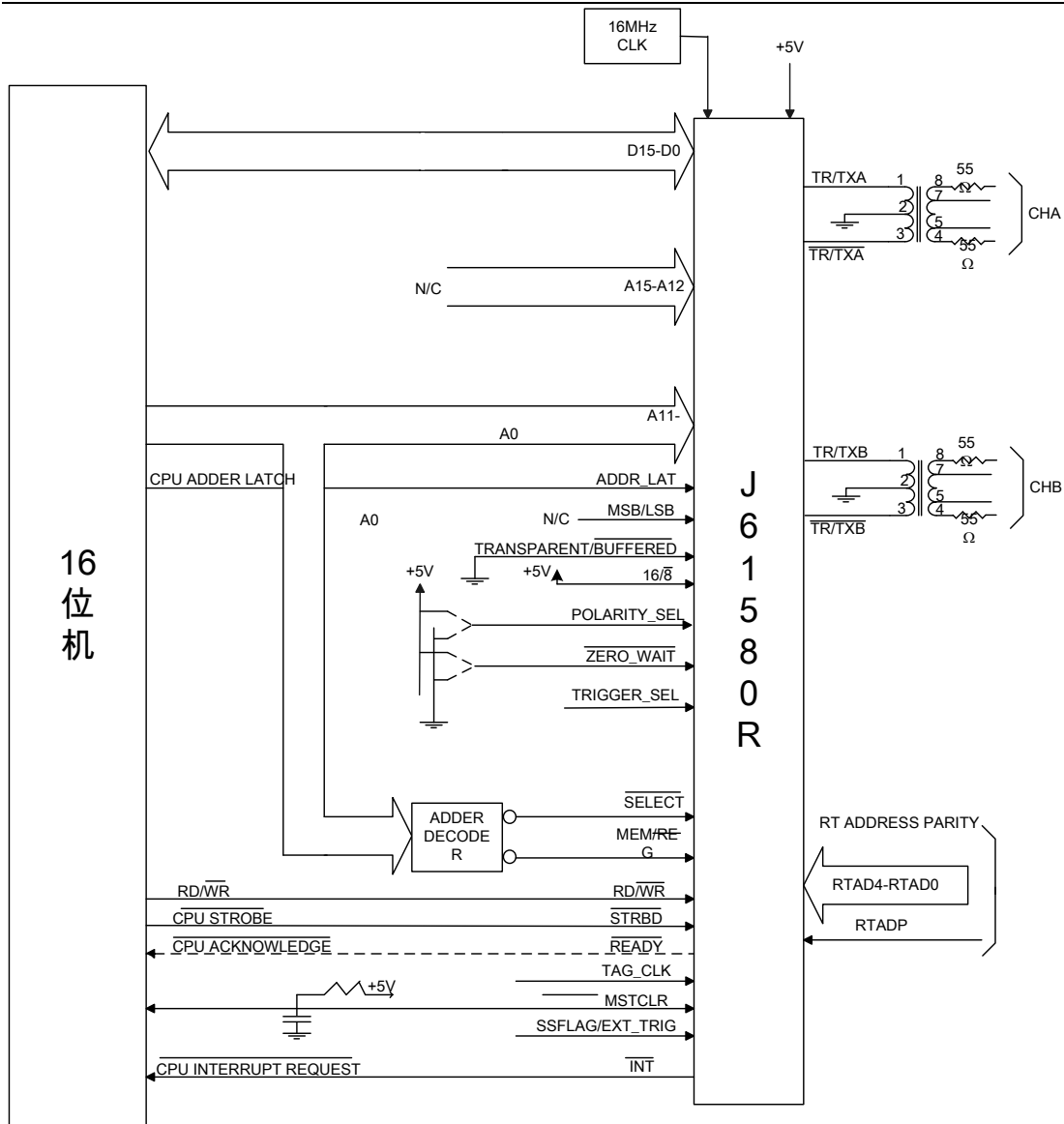


图 15 J61580R 电路 16 位缓冲模式与 16 位机接口示意图

F2812 的 D0~D15 与 J61580R 电路的 D0~D15 连接; F2812 的 A0~A11 与 J61580R 电路的 A0~A11 连接; J61580R 电路的片选信号由 F2812 的 XZCS0AND1 区域选择信号、读使能、写使能和地址线进行译码逻辑, 选中 J61580R 电路的内部 RAM 和寄存器; 将 J61580R 电路的极性选择信号置高, F2812 的读/写选通线信号与 J61580R 电路的读/写信号相连; 将 J61580R 电路的零等待信号置高, 并将 READYD 信号与 F2812 的 READY 信号相连; J61580R 电路的外部触发信号置高; J61580R 电路的 TAG\_CLK 信号置低; J61580R 电路的 ADDR\_LAT 信号置高; J61580R 电路的其它信号可按照图 2 所示连接即可。

### 7.4.3 8 位主机模式

单片机以 8 位数据总线较多, 功能、结构、使用均较为简单, 设计周期短等优点, 与

J61580R 电路之间的接口方案如图 16 示。图 16 为 16 位缓冲模式与 8 位机处理器接口示意图。

例如使用 80C52 单片机，80C52 的 P07~P00 分别连接到 J61580R 电路的 D7~D0 和 D15~D8；80C52 的 P07~P01、P14~P10 与 J61580R 电路的 A0~A11 连接，P00 连接到 J61580R 电路的 MSB/LSB 引脚；J61580R 电路的片选、存储器/寄存器选择信号由地址线和 80C52 的端口信号进行译码逻辑得出；零等待、极性选择、触发选择均置低；J61580R 电路的其它信号可按照图 16 所示连接即可。HOST 使用 8 位单片机 80C52，ACE 是 J61580R。图 16 中软件部分 CPLD 逻辑使用 Quartus 实现，编译器下载，单片机程序使用 Keil uVision 实现，在线下载，与标准板卡通信后的信息通过串口调试助手查看。由于只是简单的验证试验，并没有严格对单片机初始化和编程，我们的方案仅供参考。相关用户一般使用 80C52 单片机作为 HOST，并使用标准编译器进行程序下载。

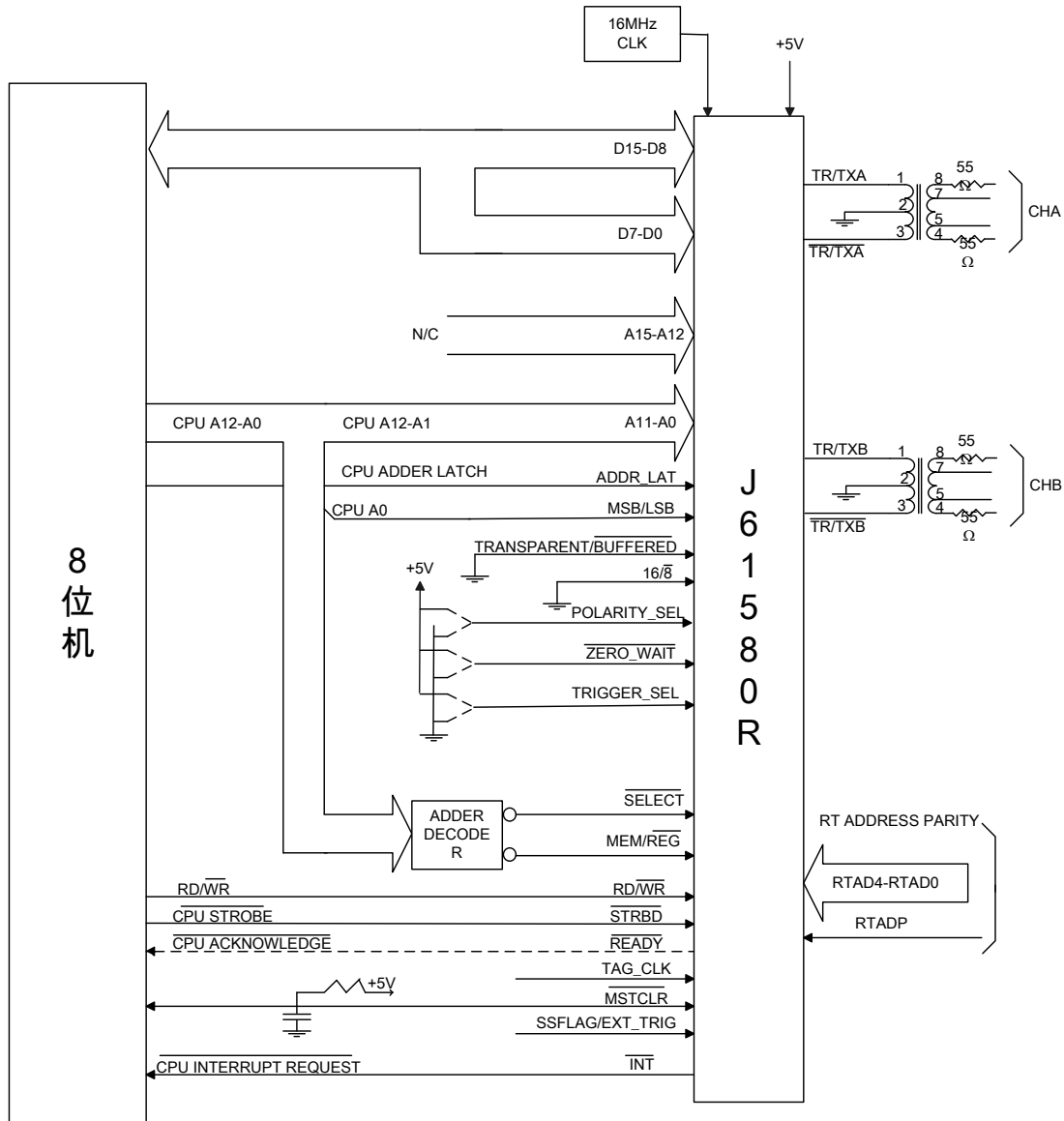


图 16 J61580R 电路 16 位缓冲模式与 8 位机接口示意图

## 八 应用要求

### 8.1 器件典型应用

J61580R 型辐射加固 1553B 总线远程终端控制器是针对 1553B 总线通信系统研制的专用接口控制电路。功能包含了完整的主机与 1553B 总线接口逻辑、协议处理逻辑、存储器管理逻辑、中断处理逻辑、双通道收发器以及  $4K \times 16$  位的 SRAM；内部完成了 1553B 总线远程终端（RT）功能,通过内部寄存器的特殊配置可进入 RT/MT 共用功能模式。J61580R 型电路通过协议处理模块控制收发器模块实现 1553B 总线系统各节点之间的数据通信，以命令/响应的方式实现数据的远程交互。该器件输入信号与输出信号均为标准曼彻斯特 II 型码，传输速率为 1Mbps。

#### 8.1.1 J61580R 输入高电平说明

J61580R 电路与国外 BU-61580 电路参数的差异主要表现在 VIH 输入高电平这一项，由于采用的工艺不同, BU-61580 电路的指标为  $\geq 2.0V$ ，J61580R 电路该项指标详规规定为  $\geq 2.4V$ ，极限条件测试指标为  $\geq 2.1V$ ；建议用户使用规范要求输入电平  $\geq 2.4V$ ；

#### 8.1.2 J61580R 复位时间说明

J61580R 电路对复位时间较为敏感，极限条件测试指标 DDC 公司 BU-61580 为 5ns 复位，J61580R 为 4ns 复位，为防止器件在应用中异常复位，建议用户保证复位信号的平滑，防止毛刺带来的异常复位。

为了对 J61580R 电路进行有效复位，建议用户将复位信号有效时间设置为 100ns。

#### 8.1.3 J61580R 器件盖板接地说明

由于 J61580R 电路应用广泛，为了满足不同用户的使用，电路盖板内部没有进行接地处理，如用户系统需要防止 J61580R 盖板积累电荷引起静电，请在系统装配时对电路盖板进行接地处理。

#### 8.1.4 J61580R 电路零等待模式可靠应用

J61580R 电路在零等待模式下，外部主控制器写内部 RAM 时与通信总线从内部 RAM

取数据同时发生时可能出现冲突。

为了保证电路正常使用，要求读写周期控制在一定范围，经过测试，J61580R 与国外 BU-61580 电路基本一致，即读写周期控制在  $T \geq 3.299\mu s$  ( $f=16M$ )、 $T \geq 4.501\mu s$  ( $f=12M$ ) 即可保证（竞争访问与非竞争访问）数据可靠的写入与读出。

### 8.1.5 J61580R 电路 SRAM 低电压数据保持说明

J61580R 电路在电源电压残余 0.3V 条件下会保持关电源前的配置数据不会丢失。低电压下存在数据保持现象，是 SRAM 电路结构固有的特性。该特性在辐射加固电路和常态电路中均存在，只是最低保持电压略有不同，即使电源电压降到 0V 后再上电，电路同样存在 SRAM 数据部分保持的现象，数据在 SRAM 内部保持属于静止状态，对电路本身没有损伤，不影响电路空间应用环境的长期可靠性。因此低电压下数据保持对电路的可靠性不造成影响。

实际使用中建议用户每次电源加电时先对 SRAM 存储器进行初始化操作，不使用 SRAM 上电后的不确定状态。然后再进行其它操作，确保加电前状态不影响重新加电后的配置情况。

### 8.1.6 J61580R 在推荐总线接法下带载能力说明

772 所针对推荐总线接法条件下图 17（变压器耦合方式总线组网方式图）带载能力进行了测试试验，总线节点从 3 节点,13 节点,19 节点,64 节点多种组合作了试验验证,在这些情况下电路都可以正常工作,输出幅度正常,试验连接方式如下,在系统带 64 个节点其中 1 个 BC,1 个 RT, 32 个冷备份,30 个热备份条件下通讯依然正常,输出幅度满足指标要求

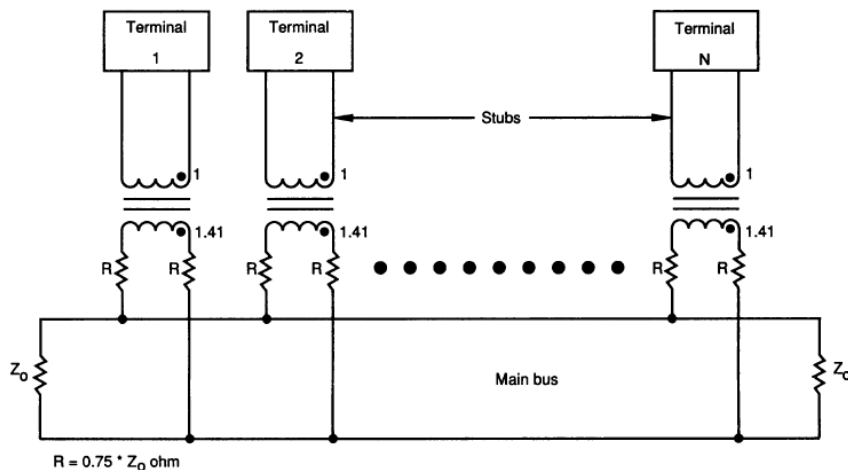


图17 变压器耦合方式总线组网方式图

按照上图 1553 标准规定的变压器耦合方式总线组网方式我们做了搭载 30 个冷备份节点的试验，通信均正常，波形没有畸变，单节点总线 AT 点电压 28V 和 21V 情况下，搭载 30

个 J61580 电路冷备份节点用能够发出 AT 点总线电压 28V 的器件通信，AT 点总线电压 28V 电压降低到 27V；用能够发出 AT 点总线电压 21V 的 J61580 器件通信，AT 点总线电压 21V 减低到 19.6V；满足总线 AT 点 18 到 27V 的指标要求。在带载 64 个节点时刻以可靠通信且总线输出电压幅度能够满足 1553B 标准保持在 AT 点 18V 到 27V 之间。

通过一系列带载极限试验，表明 J61580R 电路完全满足使用要求。

## 8.2 板级应用要求

1)、使用至少 4 层 PCB 板（顶层至底层）：信号层、地层、电源层、信号层。电源和地之间应使用去耦电容和旁路电容。

2)、模拟端口输出采用差分信号，信号线四围不能覆铜、不能走普通信号线，防止引入干扰信号。差分信号线尽量保持等长度，并适度加粗信号线。模拟端与隔离变压器及接入总线端口间的距离尽量缩短。这有助于确保来自电路板的噪声不被拾取到差分线路上，并且不会从电路板的互连电缆泄露而成干扰电路板的 EMI。

3)、板卡上隔离变压器的使用

隔离变压器应当放置在离收发引脚（IN\_A/IN\_A\_、IN\_B/IN\_B\_）尽可能近的位置。并且，它与电路板以外的任意接头或电缆连接的距离也是越短越好。减小混合地到变压器和变压器到接头之间的距离，不仅能够限制发送时模拟信号通道上的电压降，还能最小化电路板上其他信号的干扰。

变压器（直接）耦合终端的输出端与外部系统接头连接一般使用 78Ω 的双绞线屏蔽电缆，这样能使得阻抗中断最小化。中心抽头与隔离变压器的二次端、输出屏蔽、总线屏蔽及框架接地线是开路还是闭路连接取决于系统的基本因素，比如取决于对电磁干扰、射频干扰及速度的考虑。

大部分系统都要求 1553 终端的输入阻抗在系统接口处必需测量，尽管 1553B 标准测量的需求实际上是为了从隔离变压器的总线端能够直接看出测量值。相对长一些的输出电缆将会减小测量阻抗（从总线侧看）。为了保持阻抗在所要求的 1000Ω 的水平以上（对变压器耦合端而言），RT 与系统接口之间的电缆长度应当最短化。

4) 关于 EMC 问题的说明

J61580R 电路按照正确的端接方式,由于采用双绞线屏蔽和耦合器屏蔽以及阻抗匹配,产生的反射和串扰电磁兼容问题被降到最低,同时器件的总线驱动频率和上升沿时间,下降沿时间都通过系统设计使得电磁辐射降低,同时 PCB 布板时保证变压器和短截线连接点都在 PCB 板的边缘,这样就最大程度上降低了串扰和反射,降低了对周围器件的干扰。

## 8.3 J61580R 替换 BU-61580 电路注意事项

1) 输入电平；J61580R 输入电平 $\geq 2.4V$

2) 采用 DDC 推荐标准接法; 见图 13, 由于单粒子锁定 (SEL) 阈值大于  $75\text{MeV}\cdot\text{cm}^2/\text{mg}$ , 所以不用另行增加限流电阻;

3) 复位时间保持在 100ns 以上;

## 九、封装说明

### 9.1 封装形式和外形尺寸

J61580R/J61581R 的封装形式为 MCP70。图 17 给出了 J61580R/J61581R 的封装形式和外形尺寸。

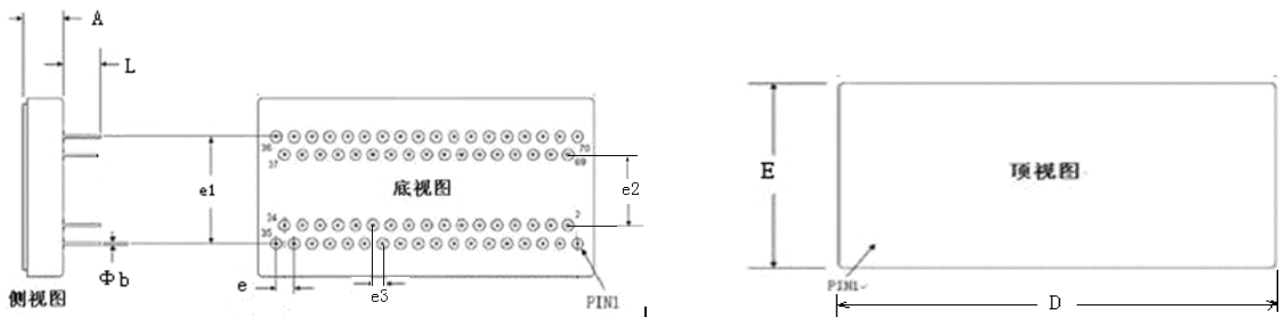


表1 MCP70 (封装形式) 单位为毫米

尺寸符号	数值		
	最小	公称	最大
D	-	-	48.56
E	-	-	25.6
L	4.22	-	4.92
A	-	-	4.10
e1	-	15.24	-
Φb	0.39	-	0.53
e	-	2.54	-
e2	-	10.16	-
e3	-	1.27	-

注: 未注公差按 GB/T1804 中表 1 的条件 C 执行。

## 9.2 管脚排列

图 18 给出了 J61580R/J61581R 的引脚排列图

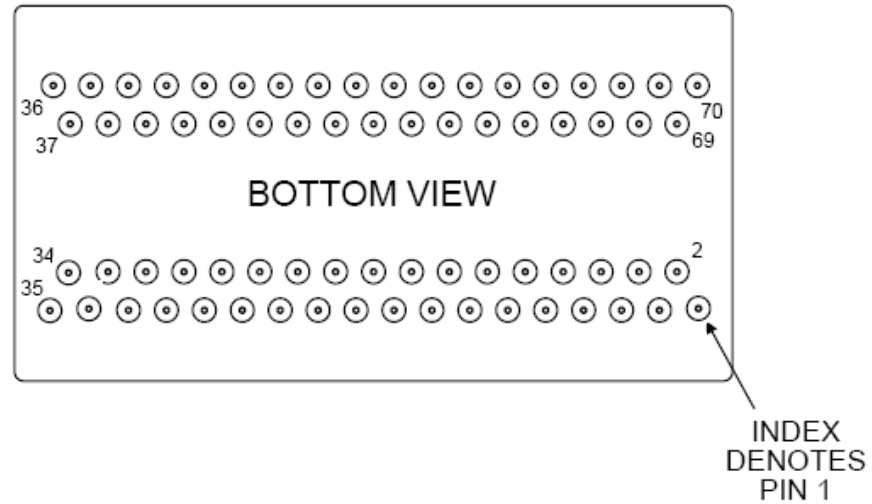


图 18 J61580R 管脚

### 服务与支持:

通信地址: 北京市丰台区东高地四营门北路2号

邮政编码: 100076

联系部门: 市场二部

电话/传真: 010-67968115-7501/010-68757706

设计四部

郭楹

电话: 029-65685100-5263/ 18691951183