

Ver 1.1

## 1553B 总线控制器

# 产品使用手册

产品型号：B64703



北京微电子技术研究所



### 版本控制页

版本号	发布日期	更改章节	更改说明	注
V1.0	2016.04.25			
V1.1	2018.2		更改模板，修正笔误	



## 目 录

一、产品概述 .....	5
1.1 产品特点 .....	5
1.2 产品用途及应用范围 .....	5
二、产品工作条件 .....	6
2.1 绝对最大额定值 .....	6
2.2 推荐工作条件 .....	6
三、封装及引出端说明 .....	6
3.1 引出端排列 .....	6
3.2 引脚信号描述 .....	8
3.3 外形尺寸说明 .....	13
四、产品功能 .....	14
4.1 产品的基本工作原理 .....	15
4.2 主要模块工作原理 .....	17
五、产品电特性 .....	26
六、典型应用 .....	27
6.1 应用说明 .....	27
6.1.1 B64703 电路总线连接方式 .....	27
6.1.2 变压器的选择 .....	28



---

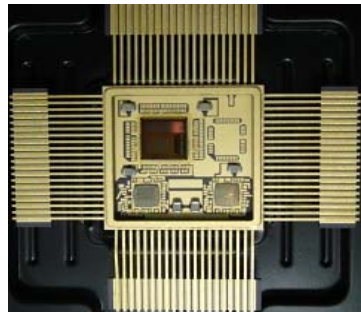
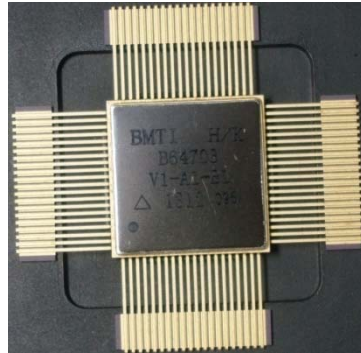
6.2 板级应用要求.....	29
七.应用注意事项.....	30
7.1 产品防护.....	30
7.2 电装要求.....	30
八、用户关注产品信息.....	30
8.1 产品鉴定信息.....	30
8.2 产品标识.....	31
8.3 研制生产单位联系方式.....	31

## 一、产品概述

### 1.1 产品特点

B64703型1553B总线控制器是一种二次集成的数模混合电路，采用国内HHNEC CMOS 0.35um工艺设计，芯片材料、结构、复杂度，器件采用80引线MCP陶瓷外壳封装(CQFP80)，如右图所示，抗静电能力ESD $\geq$ 1000V。

- 完整集成的远程终端包括：
- 两个低压 3.3V 收发器
- 完整的 RT 协议逻辑
- 逻辑电压 3.3V
- 满足 1553A/McAir 响应时间的需要
- 接收数据时内部 32 字 FIFO 应对突发模式能力
- 16 位 DMA 接口
- 自动配置能力
- 综合的内建自测试
- 直接连接简单系统（没有上位机）
- 可用于所有军用的温度范围和隔离
- 可选输入时钟 10，12，16 和 20MHz



### 1.2 产品用途及应用范围

B64703型1553B总线控制器是针对1553B总线通信系统研制的专用接口控制电路，为1553B总线通讯系统中的核心控制芯片，主要完成系统中的RT（远程终端）功能，用于通讯系统中核心数据的传输。使用范围涉及航天和军用领域，其同谱产品目前已被广泛应用于太空飞船、火箭、卫星、核工业、船舶及武器装备等关系国防安全的关键设备上。

## 二、产品工作条件

### 2.1 绝对最大额定值

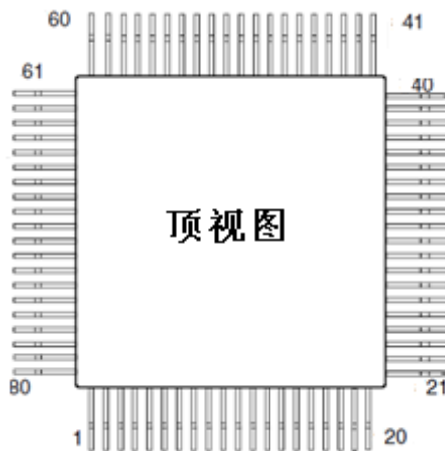
参数名称	参数符号	参数值	单位
电源电压	VCG	-0.3 V~5V	V
功耗	PD	3W	W
贮存温度范围	Tstg	-65℃~+150℃	℃
引线耐焊接温度	Th	260℃	℃
结温	TJ	175℃	℃

### 2.2 推荐工作条件

参数名称	参数符号	参数值	单位
电源电压	VCC	3.3 (1±10%) V	V
工作频率	f	10/12/16/20 MHz	MHz
工作温度范围	TA	-55℃~+125℃	℃

## 三、封装及引出端说明

### 3.1 引出端排列



引出端排列图

引出	信号名称	功能描述	引出	信号名称	功能描述
----	------	------	----	------	------



端序号			端序号		
1	L_BRO	新命令接受标志	41	D6	数据线6
2	T_R	收发标志	42	D1	数据线1
3	TX/RX_A	收发通道A	43	D4	数据线4
4	NC	-	44	RTADP	RT地址奇校验
5	$\overline{\text{TX/RX}} - \text{A}$	收发通道A取反	45	RTAD1	RT地址1
6	RT_AD_ERR	RT地址错误	46	D0	数据线0
7	SA3	子地址3	47	D2	数据线2
8	NC	-	48	D3	数据线3
9	NC	-	49	D5	数据线5
10	+3.3V_XCVR	3.3V收发器电源	50	GND_LOGIC	逻辑地
11	NC	-	51	+3.3V_LOGIC	+3.3V逻辑电源
12	SA2	子地址2	52	D8	数据线8
13	WC_MC_CWC3	字数/方式码/当前字数3	53	D7	数据线7
14	GND_LOGIC	逻辑地	54	D13	数据线13
15	TX/RX_B	收发通道B	55	D12	数据线12
16	NC	-	56	D14	数据线14
17	$\overline{\text{TX/RX}} - \text{B}$	收发通道B取反	57	D9	数据线9
18	WC_MC_CWC0	字数/方式码/当前字数0	58	D11	数据线11
19	WC_MC_CWC2	字数/方式码/当前字数2	59	D15	数据线15
20	MEMOE	存储器输出使能	60	D10	数据线10
21	NC	-	61	BUSY	忙标志
22	GND_XCVR	收发器地	62	RTACTIVE	RT有效
23	NC	-	63	HS_FAIL	握手失败信号
24	RTAD2	RT地址2	64	RT_FAIL	RT失效
25	MSTCLR	复位	65	TX_INH	通道输出禁止端
26	CLOCK	时钟输入	66	SRV_RQST	服务请求
27	SA1	子地址1	67	GBR	数据块成功接受标志
28	MEMWR	存储器写信号	68	ILLEGAL	非法标志
29	DTREQ	数据传输请求	69	+3.3V_LOGIC	+3.3V逻辑电源
30	+3.3V_LOGIC	+3.3V逻辑电源	70	GND_LOGIC	逻辑地

31	GND_LOGIC	逻辑地	71	BRO_ENA	广播模式使能
32	INCMD	正在处理消息	72	DTGRT	数据传输授予
33	WC_MC_CWC1	字数/方式码/当前字数1	73	CLK_SEL_1	时钟选择1
34	MSG_ERR	消息错误	74	SA0	子地址0
35	DTACK	数据传输应答	75	SA4	子地址4
36	RT_AD_LAT	RT地址锁存	76	AUTO_CFG	自动配置
37	SSFLAG	子系统旗标	77	GND_LOGIC	逻辑地
38	RTAD0	RT地址0	78	WC_MC_CWC4	字数/方式码/当前字数4
39	RTAD3	RT地址3	79	GND_XCVR	收发器地
40	RTAD4	RT地址4	80	CLK_SEL_0	时钟选择0
备注：其中信号 TX/RX_A (脚3)、TX/RX - A (脚5)、TX/RX_B (脚15)、TX/RX - B (脚17) 四个端口为模拟端口；					

### 3.2 引脚信号描述

#### 引脚信号描述

符号	类型	名称及功能
+3.3V_Xcvr	电源	收发器电源
Gnd_Xcvr		收发器地
+3.3V_Logic	和地	逻辑电源
Gnd_Logic		逻辑地
TX/RX-A	总线隔离 变压器接 口	模拟收发器输入输出信号接口，直接连接到隔离变压器。
TX/RX - A		
TX/RX-B		
TX/RX - B		
D15 ( MSB )	数据总线	16位双向数据总线。 64703向外部系统写数据时，这些信号输出有效数据。 其它时间，这些数据线输出为高阻态，输入带上拉。
D14		
D13		
D12		
D11		
D10		
D09		
D08		
D07		
D06		
D05		
D04		



D03		
D02		
D01		
D00 ( LSB )		
L_BRO		锁存广播指示。该双态输出信号在新命令字接收后被锁存。对于广播命令,信号输出逻辑‘1’。对于非广播消息,信号输出逻辑‘0’。
T/R		发射/接收指示。该双态输出信号在新命令字的接收后被锁存。对于发射消息,该信号输出逻辑‘1’,对于接收消息,该信号输出逻辑‘0’。
SA4 ( MSB )		子地址指示。这五个双态输出信号在新命令字的接收后被锁存。它们提供标准命令字的子地址区。
SA3		
SA2		
SA1		
SA0 ( LSB )		
WC/MC/CWC4 ( MSB )	命令 / 地址总线	字计数/方式码/当前字计数。在新命令字接收后这5个双态输出信号提供命令字的字计数/方式码段的目录。对于非方式码接收消息,WC/CWC的目录被更新和增加到反映当前被传输给系统(非增强模式下)或者内部FIFO(增强模式)的数据字的值。CWC从0增加到消息中字计数区-1的值。 突发模式,在非方式码接收消息的末端,当每一个从内部FIFO到外部系统在D15-D0上的字传输之后,CWC目录将会从0到字计数区-1的值增长。突发模式下传输每一个字给外部系统需要3个时钟周期。 对于非方式码发送命令,当每一个字从外部系统读到64703,CWC的值开始从0增加到字计数区-1的值。 对于方式码命令字,WC/CWC输出命令字方式码区,这些通过消息末端保持锁存(直到随后命令字的接收)
WC/MC/CWC3		
WC/MC/CWC2		
WC/MC/CWC1		
WC/MC/CWC0 ( LSB )		
$\overline{\text{DTREQ}}$		数据传输请求。有效低电平输出信号用来响应外部系统数据总线 ( D15-D0 ) 的使用
$\overline{\text{DTGRT}}$	DMA 握手和传输控制信号	数据传输允许。从外部子系统输入,必须被声明为低响应64703为了使能64703读数据或者写数据给外部子系统而声明的DTREQ 为低。 从DTREQ 到 DTGRT的最大允许时间是10 $\mu\text{s}$ 。 如果64703的DMA握手信号不需要,DTREQ可被硬连线到逻辑‘0’

<p>DTACK(O)</p>		<p>数据传输应答。有效低电平输出信号用来指示64703的系统数据总线 ( D15-D0 ) 的接收，对数据传输允许做出响应。64703在D15-D0上的数据传输在DTACK被声明为低的时刻将被传出。</p> <p>如果AUTO_CFG被连接到逻辑‘0’，上电后，在MSTCLR的上升沿之后将会出现一个DTREQ/DTGRT握手循环。在DTGRT被采样为低之后，DTACK和RTACTIVE之后将会被声明为低去使能配置从外部三态缓冲器上读取的数据。</p> <p>非突发模式下，对于消息发送或者接收，或者对于接收消息给予地址30，假定子地址30的Autowrap是禁止的，DTACK将会被声明为低去指示外部系统与64703之间单个消息的传输。</p> <p>突发模式下，假定接收消息是合法有效的，在最后一个标准数据字的接收后的DTREQ到DTGRT的握手信号之后DTACK将会被声明为低。在从64703到外部系统的DMA突发写传输期间DTACK仍然是低。突发写传输的总时间是3个时钟周期乘以数据字的个数。</p>
<p>HS_FAIL</p>		<p>握手失败。如果这个信号被声明为低，表示握手超时状态。即在64703的DTREQ出现之后系统用DTGRT响应不及时</p>
<p>MEMOE</p>		<p>存储器输出使能。双态输出信号，用来使能来自外部系统D15-D0上的数据输入。对于从外部系统读取的每一个数据字，MEMOE低脉冲将持续三个时钟周期。64703在MEMOE上升沿之前1个时钟周期锁存数据。</p>
<p>MEMWR</p>		<p>寄存器写。在64703写循环期间，有效底双态输出信号，声明为（一个脉冲宽度）被低。用来传输从64703到外部系统的数据。在MEMWR上升或者下降沿处外部系统数据被锁存。</p>
<p>RTAD4 ( MSB )</p> <p>RTAD3</p> <p>RTAD2</p> <p>RTAD1</p> <p>RTAD0 ( LSB )</p>		<p>RT地址输入。</p>
<p>RTADP</p>	<p>RT地址</p>	<p>RT地址奇偶校验。为了RT响应非广播命令，输入信号必须提供一个与RTAD4-RTAD0的和为奇数的奇偶校验。即RTAD4-RTAD0和 RTADP之中的逻辑‘1’的个数</p>

		必须为奇数。
RT_AD_LAT		RT地址锁存。如果RT_AD_LAT被连接到逻辑‘0’，那么64703被配置为从RTAD4-RTAD0 和 RTADP接收硬连线的地址。 如果RT_AD_LAT是初始逻辑‘0’之后转变为逻辑‘1’，RTAD4-RTAD0 和 RTADP 上出现的值将会在RT_AD_LAT上升沿时被64703内部锁定。
RT_AD_ERR		RT地址错。输出信号反映RTAD4-RTAD0 和RTADP输入的奇偶校验组合。高电平表示正确的奇偶校验，低电平表示错误的奇偶校验。注：如果RT_AD_ERR是低电平，那么64703将不承认任何属于该RT地址的有效标准命令字。
$\overline{\text{ILLEGAL}}$		非法化。输入到64703，命令字传输之后被抽样检测。逻辑‘0’将导致状态响应中的消息错误位被置‘1’，而逻辑‘1’输入对消息错误位没有影响。
$\overline{\text{SRV\_RQST}}$		服务请求。当该输入是逻辑‘0’，64703状态字的服务请求位将会成为逻辑‘1’。当输入是逻辑‘1’，64703状态字的服务请求位将会成为逻辑‘0’。
$\overline{\text{SSFLAG}}$	RT 状态字输入	子地址标志。如果该输入被声明为低，64703状态字的子地址标志位将会被置位。
$\overline{\text{BUSY}}$		忙碌。如果该输入被声明为低，64703状态字中的忙位将会被置位逻辑‘1’。如果状态字中的忙位是逻辑‘1’，除了发送最后的命令字或者发送BIT字方式命令外64703将不会发送任何数据字。对于接收命令，如果64703是忙碌的，它将继续发送数据字给外部系统( 尽管这些发送用外部逻辑可被封锁 )
RTACTIVE	RT 有效和消息状态字指示	RT有效。上电后，当64703正在读它的自动配置字或执行它的内部自测试期间该信号将是低电平( 逻辑‘0’ )。在自测试通过后，或者自动配置选项没被用，或者自动配置使用但自动配置字位5是逻辑‘1’，RTACTIVE将会接着转变为逻辑‘1’。当这些发生时，64703将开始处理1553总线上的信息。 如果自动配置被使能，自动配置字位5是逻辑‘0’且自测试失败，那么RTACTIVE将仍然是逻辑‘0’。这种情况下，64703仍然脱机且不处理任何1553消息。 一个错误的自测试将会导致RTFAIL_L被声明为低( 逻辑‘0’ )。

		<p>辑‘0’)</p> <p>如果自动配置选项被使用，当RTACTIVE和DTACK都输出逻辑‘0’，外部系统应该使能D5-D0上的配置位</p>
INCMD		<p>消息正在处理指示命令。双态输出，在消息被64703处理的任何时刻，该信号会被声明为低。</p>
GBR		<p>良好标准块。双态输出，低电平脉冲（2个时钟周期宽度）被用来指示给外部系统一个有效的、合法的、非方式码接收命令且有效数据的正确数目已经被接收并且传输给外部系统。</p> <p>非突发模式，该脉冲会出现在被传输的最后一个数据字后。假定DTREQ到DTGRT的时间是0，在最后标准数据字的奇偶位中间交叉点之后该脉冲将会出现约4μs。</p> <p>突发模式，在每一个突发写传输的末尾GBR脉冲将与DTACK上升沿同步。</p>
MSG_ERR		<p>消息错误。双态输出信号，对于某一个消息，有效低电平被用来标志给外部系统1553总线通讯上的消息有错（字，间隔，或者字计数错）。当检测到错误时并且被下一个来自1553总线有效命令字的接收复位，或者MSTCLR被声明为低，该输出变低。如果该输出为低，所有当前消息更进一步的服务都被忽略。</p>
RTFAIL		<p>RT失败。双态输出信号，上电之后或者接收到初始化自测试方式命令之后内建自测试执行失败后，该信号将会被声明为低。</p> <p>内建脱机自测试包括曼彻斯特译码器和解码器，发送失败保护计时器和RT协议逻辑的测试。</p> <p>另外，对于任何非广播消息，在线循环测试失败后RTFAIL将会被声明为低。在线循环测试核实所有发送字的标准形式，包括对最后一个发送字的逐位比较和核实。</p> <p>如果被声明为逻辑‘0’，当64703开始它状态字的传输用来响应随后有效非广播消息时，RTFAIL 将会被清为逻辑‘1’。</p>
MSTCLR	控制输入信号	<p>外部复位。低电平正确复位输入，上电之后被声明为低。从复位状态跳出，MSTCLR的上升沿必须小于10μs。</p>
AUTO_CFG		<p>自动配置输入。如果连接到逻辑‘1’，那么自动配置选项被禁止，6个配置参数将会回复到默认值。注对于每一</p>

		个配置参数的默认状态是被使能的（对于MIL-STD-1553A/B协议选项，默认-1553B） 当MSTCLR从逻辑‘0’转变为逻辑‘1’之后，RTACTIVE和DTACK是逻辑‘0’，如果该信号连接逻辑‘0’，在DMA读数据传输期间，配置参数将会在D5-D0上传输。 如果64703从相应数据位读到逻辑‘1’，配置参数将被使能。														
BRO_ENA		广播使能。如果该输入是逻辑‘1’，64703将会认可RT地址31做为广播地址。如果该输入是逻辑‘0’，64703将不会认可RT地址31做为广播地址，在这种配置下RT地址31可被作为标准RT地址。														
TX_INH		发送器的发送禁止输入。对于正常操作，该输入应该被连接到逻辑‘0’，为了强制关断发送器，该输入应该被连接逻辑‘1’。														
CLK_IN	时钟输入选择	时钟输入。时钟频率必须依靠CLK_SEL_1和CLK_SEL_0的输入被指定。														
CLK_SEL_1		这两个输入被用来指定64703的时钟频率，如下：														
CLK_SEL_0		<table border="1"> <thead> <tr> <th>CLK_SEL_1</th> <th>CLK_SEL_0</th> <th>Clock Frequency</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>10 MHz</td> </tr> <tr> <td>0</td> <td>1</td> <td>20 MHz</td> </tr> <tr> <td>1</td> <td>0</td> <td>12 MHz</td> </tr> <tr> <td>1</td> <td>1</td> <td>16 MHz</td> </tr> </tbody> </table>	CLK_SEL_1	CLK_SEL_0	Clock Frequency	0	0	10 MHz	0	1	20 MHz	1	0	12 MHz	1	1
CLK_SEL_1	CLK_SEL_0	Clock Frequency														
0	0	10 MHz														
0	1	20 MHz														
1	0	12 MHz														
1	1	16 MHz														
NC	没有使用	仅用于出厂测试，正常不用。														

### 3.3 外形尺寸说明

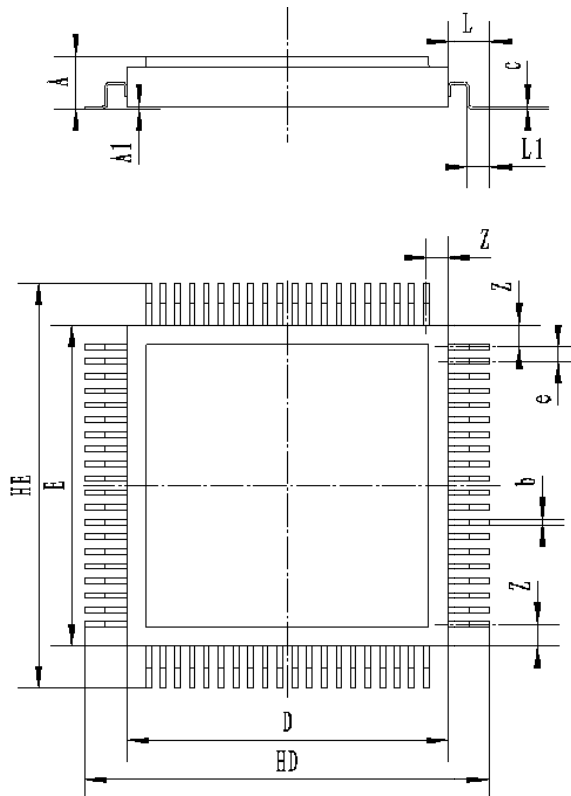
B64703 外形尺寸按 GB/T 15138-1994 的规定，采用非标准外壳，外壳外形代号为 KD-GB2940。器件外形尺寸为 28.98mm×28.98mm×3.9mm。外形尺寸图见下图。

MCP80（封装形式）

单位为毫米

尺寸符号	数值		
	最小	公称	最大
A	3.30	—	3.90
A1	0.05	—	0.41
b	0.33	—	0.43
c	0.10	—	0.20
e	—	1.016	—

Z	——	——	2.54
D/E	22.12	——	22.58
HD/HE	27.32	——	28.98
L1	1.25	——	1.524
L	2.60	——	3.20
注：未注公差按GB/T1804附录 C执行。			



## 四、产品功能

B64703 是一款 MIL-STD-1553 远程终端 (RT) 总线接口电路，内部包含两个收发器，曼彻斯特 II 译码/解码器，MIL-STD-1553 远程终端协议逻辑，以及内建自测试功能和并行子系统接口。该子系统接口包括 12 位地址总线和在 16 位 DMA 握手传输配置时操作的 16 位数据总线。

B64703 为用户系统与 MIL-STD-1553B 总线之间提供一个完整的接口。电路内部集成了双收发器、协议逻辑和一个标准 FIFO。提供 MIL-STD-1553 A/B，STANAG-3838，McAir 和 MIL-STD-1760 等多协议的支持。电路采用 3.3V 供电，具有更低的功耗，多种时钟可供用户选择（10、12、16 或 20MHz）增强电路使用灵活性，具有 SSRT 中最小封装形式。具

有自测试功能 (BIT)。该功能在电源上电或者收到初始自测试模式命令之后运行，对 B64703 的编码、译码、传输看门狗和协议等提供一个综合测试，另外 B64703 具有自动配置功能，增加了使用灵活性。

#### 4.1 产品的基本工作原理

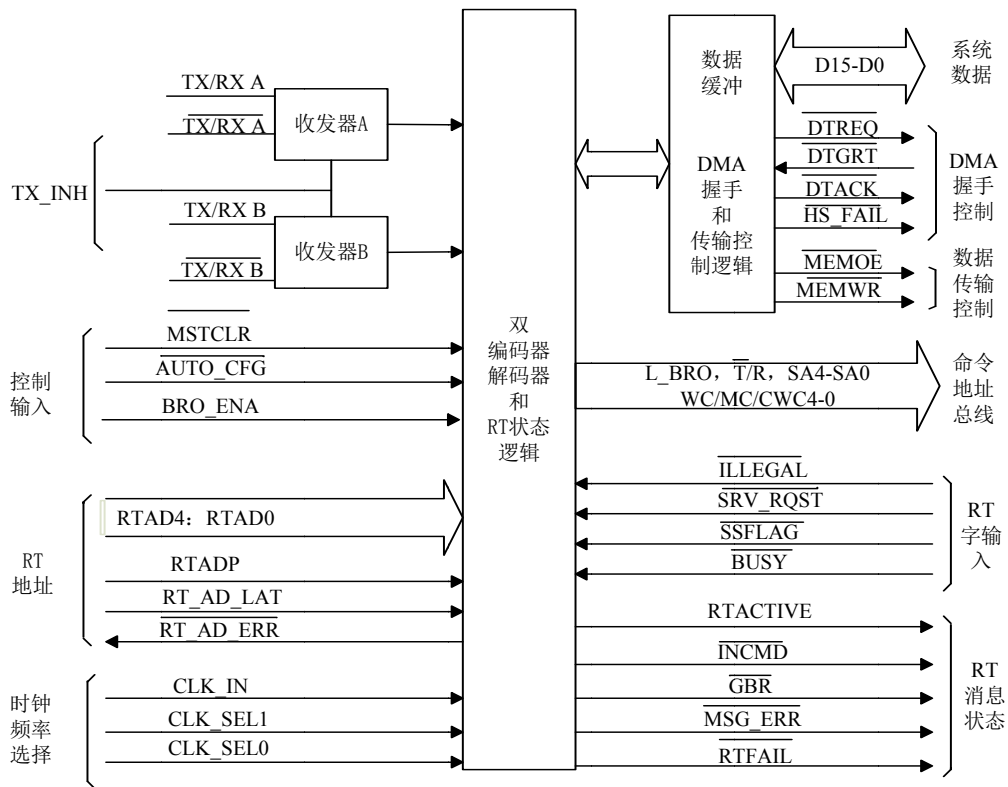


图1 电路结构图

B64703 是一个完整的 MIL-STD-1553 远程终端 (RT) 总线接口单元，如图所示，内部包含两个收发器，曼彻斯特 II 译码/解码器，MIL-STD-1553 远程终端协议逻辑，以及内建自测试能力和并行子系统接口。该子系统接口包括 12 位地址总线和在 16 位 DMA 握手传输配置时操作的 16 位数据总线，本地总线信号和相关连的控制信号线电压 3.3V。

B64703 的前端收发器采用低功耗 3.3V 供电技术。该收发器提供很强的驱动能力，驱动长线电缆和大总线负载。此外 3.3V 收发器的使用的隔离变压器，提供优于 15V、12V 或者 5V 的收发器的高终端输入阻抗。对于 1553VTP 测试，输入阻抗测试有很大的余量。保证隔离变压器之间的线缆距离可以被拉的更长。接收器部分在前端的过电压保护，阈值，和

误码率方面完全兼容 MIL-STD-1553B。

B64703 执行所有的 MIL-STD-1553 消息格式，包括所有 13 种 MIL-STD -1553 双余度方式码。可通过外部 PROM,PLD 或者 RAM 被有选择的被非法化的 1553 命令的任何子集(广播模式、发送/接受方式、子地址、数据字个数/方式码类型)。对于每个消息接受，都要经过各种各样的消息有效性检查。每一个接收的数据字都要经过同步头类型和同步编码，曼彻斯特 II 编码，奇偶校验和位计数的检查。所有的消息都包含合法的、定义过的命令字和正确的数据字个数。如果 B64703 是 RT-to-RT 传输中的接收 RT，它将验证发送命令字的 T/R 位是逻辑‘1’且发送 RT 及时响应，并且其状态字中包含正确的 RT 地址。

B64703 的输入时钟可以是 10, 12, 16, 或者 20MHz。对于任何时钟频率，在时钟输入的两个边沿，译码器采样输入数据。实际上，这种过密采样提供了输入时钟频率两倍的采样频率。高采样率的优点提供宽的过零失真容限和改良的位错误率性能。

B64703 包括一个硬连线的 RT 地址输入。该输入包括 5 根地址线，一个奇校验输入位，一个 RT 地址奇校验错误输出位。RT 地址也可以依靠锁存输入信号锁存。

接收到的命令可以通过在接受命令奇校验中间过零点后 2 $\mu$ s 内将  $\overline{\text{ILLEGAL}}$  置为低有效的方法被非法化。如广播，T/R 位，子地址，字记数或者其它方式码命令字功能都可被非法化。

一个内建自测试 (BIT) 字寄存器在每一个消息的末尾自动更新。BIT 字寄存器的内容将会被发送，用来响应传输 BIT 字方式命令。B64703 提供许多的实时输出信号。这些不同的信号标志着消息运行中有效接收，消息错误，握手失败，循环测试失败和传输超时。

B64703 包括标准的 DMA 握手信号 (请求, 授权和应答) 以及传输控制输出 ( $\overline{\text{MEMOE}}$  和  $\overline{\text{MEMWR}}$ )。DMA 接口在 16 位模式下运行支持字节位宽的传输。

B64703 的系统接口允许 B64703 与不包括上位机的简单系统直连。这样 A/D 和 D/A 转换器信号、开关信号、驱动信号、其它分离的 I/O 信号可以直接与 1553 总线相连，从而降低系统成本。

B64703 有一个内置 FIFO 用来接收数据字。突发模式，这个 32 字深的 FIFO 可以被用来暂存 B64703 传送给本地系统的数据字。突发模式使用 FIFO 是以每三个时钟一个数据的速率传输数据给本地系统。突发模式下，判断是否与子系统进行数据交换只有一次，当所有的 1553 数据字全部被正确的接收后，才会执行。在非突发模式，每一个发送一个字，进行一次判断。数据字传输周期是每收到 1553 数据字用三个时钟周期。

B64703 也可以被应用在共享 RAM 接口配置。依靠三态缓冲和少量“粘合”逻辑，64703 可以从根据各种命令划分区域的共享 RAM 中存储命令字，访问数据字



## 4.2 主要模块工作原理

主要模块工作原理如下：

### 地址映射

64703 12 位地址总线的典型寻址方案如下：

A11: BROADCAST / $\overline{\text{OWNADDRESS}}$

A10: TRANSMIT/ $\overline{\text{RECEIVE}}$

A9-A5:SUBADDRESS4-0

A4-A0:WORD COUNT/MODE CODE4-0

这种地址映射的方法提供数据字储存的分配图，12 位的地址输出能寻址 4K 的地址空间。B64703 的寻址图映射了 broadcast/ ownaddress, transmit/receive,  $\overline{\text{subaddress}}$ , 和 word/ $\overline{\text{count}}$  方式码的消息。32 字的消息块被分配给每一个 T/R 子地址。

对于非方式码消息，被发送或接收的数据字都是通过访问消息块中的相对 0-31 地址来实现。对于 MIL-STD-1553B 带数据的同步，选择发射器关闭，禁止选择发射器关闭，发送涉及单数据字传输的向量字模式命令，对于子地址 0 和 31，数据字的地址为接收命令字方式码区消息块的第 0 个地址。

响应发送上条命令或发送内建自测试字两条命令的数据字是从内部的一对寄存器中获取。

### DMA 接口

一个 16 位的数据总线，一个 12 位的地址总线和 6 个控制信号线可以很方便的与子系统互联。数据线 D15-D0 是由双向三态信号组成。地址总线 L\_BRO, T/R, SA4-SA0 和 WC/MC/CWC4-0 以及数据传输控制信号 $\overline{\text{MEMOE}}$ 和 $\overline{\text{MEMWR}}$ 都是双态输出信号。

控制信号包括标准的 DMA 握手信号 $\overline{\text{DTREQ}}$ ,  $\overline{\text{DTGRT}}$ ,  $\overline{\text{DTACK}}$ 以及传输控制输出 $\overline{\text{MEMOE}}$ 和 $\overline{\text{MEMWER}}$ 。HS\_FAIL标志着与子系统握手失败。

B64703 芯片初始化中子系统与 B64703 之间的数据传输依靠 DMA 握手执行。数据读操作规定为从子系统到 B64703 的数据传输，相反，数据写操作传输数据从 B64703 到子系统。数据传输是 16 位的。

#### 1、DMA 读操作

为了响应发送命令，B64703 需要从外部子系统读取数据字。为了初始化数据字读传输，B64703 将信号 $\overline{\text{DTREQ}}$ 置低。如果子系统声明 $\overline{\text{DTGRT}}$ 及时，B64703 之后将会声名 L\_BRO（逻辑‘0’），T/R（高），SA4-SA0 和 MC/CWC4-0 的适当值；同时 $\overline{\text{MEMWR}}$ 高 $\overline{\text{DTACK}}$ 低和 $\overline{\text{MEMOE}}$ 低去使能读来自子系统的的数据。

每一个数据字传输完毕之后，地址总线输出 CWC4-CWC0 的值被增加。

## 2、DMA 写操作

为了响应接收命令，B64703 将需要传输数据给子系统。有两种选择可以这样做，突发模式和非突发模式。突发模式，所有接受数据字以一种连续的突发方式从 B64703 传输到子系统。非突发模式，每一个单独数据字被接收之后，单个数据字立刻写给外部子系统。

为了初始化 DMA 写循环，B64703 声明 DTREQ 为低。子系统通过 DTGRT 置低进行响应。如果 DTGRT 被及时置低，B64703 将会之后声明 DTACK 为低。之后 B64703 将会声明 L\_BRO, T/R, SA4-SA0 和 MC/CWC4-0 适当值，MEMOE 高，MEMWR 低，MEMWR 将被声明为持续一个时钟周期的低。子系统之后可以使用 MEMWR 的上升或者下降延锁定数据。与 DMA 读操作类似，每完成一个 DMA 写操作地址输出 CWC4 到 CWC0 被增加。

## 3、握手失败

在 DTREQ 被 B64703 声明为低之后，通过声明 DTACK 为逻辑 ‘0’ 外部子系统有 10 $\mu$ s 时间响应。如果 B64703 声明 DTREQ，但是子系统没有用 DTGRT 及时对 B64703 进行响应，去完成数据字传输，HSFAIL 输出会被声明为低去通知握手失败的子系统，内部 BIT 字的 12 位将会被置 ‘1’。如果握手失败出现在数据字读传输（发射命令），B64703 将会终止当前消息传输。至于握手失败发生在写传输（接收命令）时，B64703 将会置位握手失败输出和 BIT 字位并且中止当前消息操作。

### 消息处理操作

在有效命令字被接收或传输之后，B64703 将会尝试执行下列操作中的一个：

(1) 传输收到的 1553 数据给子系统，(2) 从子系统读数据给 1553 总线传输，(3) 在 1553 总线上传输状态字（上一个命令字或 RT BIT 字），(4) 置位状态字条件。

B64703 用 1553 状态字响应所有的非广播消息给它们的 RT 地址。

### RT 地址

不同的 RT 地址 4-0 (RT\_AD\_4 =MSB) 和 RT 奇偶校验地址 (RT\_AD\_P) 用来配置为每一个唯一的 RT 地址，并且地址与校验位之和为奇数。如果 RT\_AD\_4-0 和 RTP 之和不是奇数，B64703 将不会响应任何 MIL-STD-1553 命令或者传输从任何非广播消息接收到的数据。通过 RT\_AD\_ERR 引脚的低电平输出标志 RT 地址错误。输入信号 RT\_AD\_LAT 运行一个对 RTAD4-RTAD0 和 RTADP 的透明锁存。如果 RT\_AD\_LAT 是低，锁存输出跟踪输入口的当前值。如果 RT\_AD\_LAT 是高，内部锁存将输出锁定 RT\_AD\_LAT 由低到高转变时输入口的当前值。

RT 地址和 RT 地址奇偶校验必须在 1553 命令字奇偶位中间交叉点之前被正确赋值，并

且至少保持到第一个标准数据字之后。

### 命令字非法化

B64703 包括一个对命令字非法化的规定。如果命令是非法的，B64703 将会置位消息错误位并且发送它的状态字给总线控制器。对于非法发送命令的响应数据字将不会被传输。然而和非法接收命令相关联的数据字将被写给外部子系统（尽管这些传输可能被外部逻辑封锁）。

在接收命令字的奇偶校验位中间过零点之后约  $2\mu\text{s}$ ，ILLEGAL 被采样，ILLEGAL 的低电平可以非法化某一命令字，从而导致 B64703 置位状态字中的消息错误位。基于广播，T/R 位，子地址或者字计数/方式码的命令字非法化可依靠外部 PROM, PLD 或 RAM 器件执行，如图 2 所示：

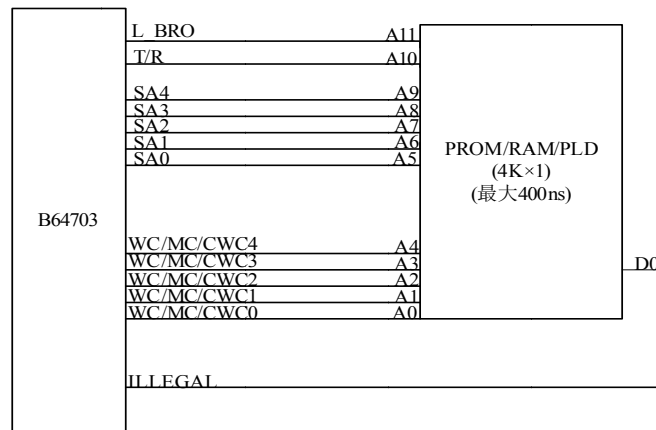


图 2 B64703 非法化

外部器件可被用来定义具体命令的合法化。做为广播，T/R 位，子地址，字计数和方式码功能的任何 1553 命令的子集可被非法化。非法化器件的输出应该直接被绑定在 B64703 的 ILLEGAL 输入信号。外部非法器件的最大访问时间是 400ns。

如果非法化没有被使用，ILLEGAL 应该被硬件置‘1’。

### 忙

外部子系统可以依靠外部输入信号 BUSY 控制 B64703 的状态字忙位。B64703 在标准的命令字的奇偶位中间过零点之后约  $2\mu\text{s}$  对 BUSY 进行采样。如果对于特定的消息 BUSY 被采样为低，在 B64703 的状态字中的发送忙位的值将是逻辑‘1’。如果对于特定的消息 BUSY 被抽样为高，在 B64703 的状态字中的发送忙位的值将是逻辑‘0’。

如果 RT 响应发送命令时忙位是逻辑‘1’，状态字将会被 B64703 发送，但是数据字不能被发送。如果 B64703 响应接收命令时忙位是逻辑‘1’，数据字将会被转移给外部子系统（尽管这些会被外部逻辑封锁）。

与非法化类似，依靠外部 PROM, RAM 或 PLD 装置可能导致 B64703 忙时响应特别的命

令字。

#### 发送命令 (RT-BC 传输)

如果 B64703 接收到一个有效的发送命令字, B64703 的子系统确定是合法化的(输入信号 ILLEGAL 是高)且子系统不是忙态(输入信号 BUSY 是高), B64703 将初始化传输数据来响应状态字之后的传输。对于每一个数据字的传输, 这些需要一个握手/读周期, 被传输的数据字的个数通过传输命令字的字计数区来表示。

如果 ILLEGAL 被抽样为低, B64703 的状态字中的消息错误位将被置位。对于非法命令, 在状态字之后的传输没有数据字会被传输。BUSY 输入为低将置位状态字中的忙位, 只有状态字被传输, 没有数据字。

#### 接收命令 (BC-RT 传输)

非突法模式, 每从 1553 数据总线接收到一个的数据字, DMA 的握手信号将会被执行一次。如果成功, 相应的写循环将会跟随各自的握手信号。握手超时不会中止对剩余数据字、错误标记或状态字发送。假定系统接收到有效非方式码命令, 跟着正确数目的有效数据字, 所有的字都被正确的传输到子系统, 输出信号 GBR 将声明一个宽度为两个时钟周期的负脉冲。

突发模式, 当 1553 数据总线的所有数据字都被正确接受且储存进 B64703 的内部 FIFO 中, DMA 才进行握手。在握手完成后, B64703 将会将 FIFO 的内容发送到当地总线(D0-D15)。假定系统接收到有效非方式码命令, 跟着正确数目的有效数据字, 所有的字都被正确的传输到子系统, 输出信号 GBR 将声明一个宽度为两个时钟周期的负脉冲。

#### RT-RT 传输错误

对于 B64703 作为 RT- RT 传输中的接收 RT 这种情况来说, 如果发送 RT 在规定的时间内没有做出及时地响应, B64703 将会确定超时。B64703 的 RT-RT 超时值在 17.5-18.5  $\mu$ s 范围内, 被规定为从发送命令字奇偶位过零点到发送 RT 的状态字同步头中间过零点。至于 RT-RT 的超时, B64703 将不会做出响应并且将会置 BIT 字的 RT-to-RT NO TRANSFER TIMEOUT 位 (位 2)为逻辑 '1'。

同样对于 RT-to-RT 传输如果 B64703 是接收 RT, 第二个命令字的 T/R 位是逻辑 '0', 或着发送命令的 RT 地址区和接收命令相同, 或着发送命令的子地址是 00000 或 11111, 64703 将不会做出响应并且将置 BIT 字的 RT-to-RT SECOND COMMAND ERROR 位(位 1)为 '1'。

#### RT 状态, 错误处理, 和消息时序信号

消息传输与传输错误用 INCMD, HS\_FAIL, MSG\_ERR 和 RTFAIL 错误指示输出指示。额外错误检测与指示结构包括更新内部命令字、RT 状态字和 BIT 字寄存器。

B64703 在 1553 消息处理期间提供了许多时序信号。当新命令被接收时, INCMD 被声明为低。在消息(有效或无效)的末端 INCMD 从低到高转变。

如上讨论，如果在最大时间（10 $\mu$ s）内子系统未能响应 DTREQ，HS\_FAIL 将会被声明为低。

对于有效非方式码接收消息（非突发或者突发模式），最后的数据字传输之后，GBR 将被声明两个时钟周期的低。除了命令字中的错误外，在接收消息中出现任何错误，输出信号 MSG\_ERR 将被声明为低。如果在接收命令字中检测到错误，剩余的消息会被忽略掉。

如果 MSG\_ERR 或 HS\_FAIL 都被声明为低，在随后的有效命令字收到之后，它们将会被清除为逻辑‘1’。

### 回读测试

B64703 在每一个非广播消息处理末尾执行一个回读自测试。回读测试由下列验证组成：

- （1）验证每一个回读回来发送字的形式（译码，位计数，奇偶校验）和正确的同步类型。
- （2）对于回读回来的发送的最后一个字将通过与发送字的按位比较进行验证。如果发送超时（660.5 $\mu$ s）或者对于一个或更多发送字的回送测试失败，将通过下一个非广播消息中的终端标志进行置位。

注：回读测试失败后终端标志状态位的置位可被禁止，例如，通过设置自动配置位 4 为逻辑‘0’而被禁止。

### 状态字

广播命令接收位是 B64703 内部形成的。如果当前命令字是发送状态字或者传输上一个命令的方式命令，并且上一条接收到消息的数据有一部分错误，消息错误状态位将被置位。如果当前消息的 ILLEGAL 被 B64703 采样为低，消息错误也将会被置位。在接收命令字奇偶位中间过零交之后大约 2 $\mu$ s，ILLEGAL，SRV\_RQST，BUSY 和 SSFLAG（子系统标记）等信号的各自的输入引脚被采样检测。在上述时间最多 400ns 后，L\_BRO、T/R、SA4-0 和 WC/MC/CWC4-0 输出端有效。

### 协议自测试

B64703 的内部协议逻辑包括一个完整的，自动的脱机自测试。该测试包括对所有寄存器，曼彻斯特编码器和解码器，发送失败安全计时器，协议逻辑和内部 FIFO 的全面测试。

该测试总共约 32000 时钟周期。即 20MHz 下大约 1.6ms，16MHz 下大约 2.0ms，12MHz 下大约 2.7ms，和 10MHz 下大约 3.2ms。当 B64703 执行脱机自测试时将忽略（不响应）所有 1553 总线上接收的消息。

除非 B64703 的自动配置特征设置无效，否则上电之后（即 MSTCLR 释放为高）64703 执行协议测试。如果使用自动配置特征并且自动配置位 5 被设置为逻辑‘0’，上电之后协议自测试的失败将会导致 B64703 脱机。如果位 5 被设置为逻辑‘0’且上电后的协议自测试通过了，B64703 将会变为联机状态。

协议自测试在从 1553 总线接收到初始化自测试方式命令字之后也将被执行。如果

B64703 接收到初始化自测试方式命令，并且自动配置位 5 被置位为逻辑 ‘0’，之后协议自测试失败将会导致 B64703 脱机。

如果协议自测试失败：(1) B64703 状态字中的终端标志位被置为 ‘1’；(2) BIT 测试失败，B64703 的 BIT 字的位 8 将会被置 ‘1’；(3) 64703 的 RTFAIL 输出将会被声明为逻辑 ‘0’。

### 自动配置

B64703 包括一个自动配置特征，该自动配置允许多种可选使能或者禁止特征。输入信号 AUTO\_CFG 可以使能或者禁止自动配置。如果 AUTO\_CFG 连接逻辑 ‘1’，那么将禁止自动配置选项，6 个配置参数还原为它们的默认值。

注意对每一个配置参数，默认值都是使能的（对于 MIL-STD-1553A/B 协议选择，默认是-1553B）。

如果 AUTO\_CFG 连接逻辑 ‘0’，那么配置参数依靠 DMA 读数据从 D5-D0 进行传输。该传输出现在 MSTCLR 从逻辑 ‘0’ 转变到逻辑 ‘1’ 和 DT\_REQ-to-DTGRT 成功握手之后的 RTACTIVE 和 DTACK 输出是逻辑 ‘0’ 期间。

注意如果 DTGRT 是硬件连接到逻辑 ‘0’，这个握手处理就不需要（即 DT\_REQ 置低，一个时钟周期后，DTACK 和 RTACTIVE 都将会被声明为逻辑 ‘0’）。

如果对于各数据位，如果 B64703 读到逻辑 ‘1’，那么配置参数会被使能。

自动配置参数被定义在表 1 中，自动配置的时序信号如图 13 所阐述。

表1自动配置参数		
BIT	功能	描述
5	自测试失败RT是否联机	如果该位是逻辑‘0’，只有自测试通过RT才被使能。如果不使用自动配置或者该位是逻辑‘1’或者上电自测试通过，那么自测试之后RT将会联机运行。
4	回读失效到终端标志位置位	对于某一消息如果回读测试失败，对于接着的非广播消息，64703状态字中的响应终端标志位将置位。
3	MIL-STD-1553A/B(-B是逻辑‘1’，或者默认的)	在MIL-STD-1553B模式，子地址31是方式码子地址，方式码完全依据MIL-STD-1553B被执行。 在MIL-STD-1553A模式，子地址31是非方式码子地址，对于方式码消息没有数据字被发送或者预先被接收。
2	子地址30暂存	子地址30暂存使能，即对于接收消息给予子地址30的数据字被储存在内部FIFO，并不传输外部系统。对于随后发送消息给予子地址30，发送的数据字从内部FIFO中读取，而不是外部系统。
1	突发模式	接收数据的使能突发模式(使用内部FIFO),在突发模式,对

		于接受消息，所有消息在最后一个数据字被接收之后一起突发被传递给外部子系统。
0	上电自测试使能	如果使能，B64703将在MSTCLR上升沿之后执行自测试。

### 时钟输入

B64703 可在 10、12、16 或 20 MHz 中四个时钟频率下运行，时钟频率的选择依靠输入信号 CLK\_SEL\_1 和 CLK\_SEL\_0，如表 2 所示。

CLK_SEL_1	CLK_SEL_0	时钟频率
0	0	10MHz
0	1	20MHz
1	0	12MHz
1	1	16MHz

### 建立测试字

B64703 电路提供内部规划的建立测试字 (BIT)，BIT 字作为对发送 BIT 字方式码命令的响应传送至 BC。BIT 字的位功能描述如表 3 所示。

位	功能	描述
15 (MSB)	发送超时	B64703电路破损安全计数器检测到故障条件时置位。如果发送时间超过660.5μs，发送超时电路会自动关断通道A或B。
14 13	通道B 通道A 循环 测试 失败	每个非广播消息的发送部分会建立回送测试。接收到的从B64703电路发送的消息则会建立有效性检测。另外，RT发送的每个消息的上一个字都会进行位到位的比较。如果监测到任一上一个字的接收版本与发送版本或发送字的接收版本不匹配(同步、编码、位计数、奇偶校验)，或者在相应的通道发生破损安全超时，相应总线通道的循环测试失败位都将被置位。
12	握手失败	该位被置位，表明子系统对DMA握手失败,即输入信号DTGRT信号在DTREQ置位10μs内无相应。
11 10	通道B通 道 A 发 送器关 断	任一为1表明对应的1553发送器被发送关断方式命令关闭。



9	终端标记约束	终端标记状态位被禁止终端标记方式命令禁止则该位为1。接收到覆盖禁止终端标记命令该位恢复至0。
8	BIT测试失败	置1表明电路离线协议自测失败。置0表示自测通过或未进行自测。
7	高位字计数	若上一条消息高位字计数出错该位为1
6	低位字计数	若上一条消息低位字计数出错该位为1
5	错误同步类型接收	该位被置位表明电路在接收数据字中检测到命令字同步头
4	无效字曼彻斯特码/奇偶校验接收错误	表明B64703电路接收到的一个字或多个字中包含以下一种或多种错误类型：同步头出错，曼彻斯特编码出错，奇偶校验出错，位计数出错。I
3	RT-RT传输响应出错（无间隔，数据、同步、地址不匹配	RT到RT传送时如果B64703电路作为接收RT有以下一种或多种错误发生时该位置位：（1）发送RT响应时间小于4us（奇偶校验位的中间位置到同步头的中间位置）；比如小于2us死区时间；（2）发送RT状态字中存在不正确的同步头或格式出错（编码、位计数、奇偶校验出错）；（3）发送状态字的RT地址段与发送命令字中的RT地址不匹配。
2	RT-RT传输无响应超时	该位被置位表明，对上一个消息，在RT-RT传送时B64703电路作为接收RT，发送RT没有响应或在RT-RT发送超时之前也没有响应。RT到RT响应超时时间从发送命令字奇偶校验位的中间位置到发送RT状态字的同步头中间位置的时间。响应超时时间在17.5-19.5μs之间。
1	RT-RT传输的第二个命令中T/R位出错或	B64703电路在RT-RT传送中接收RT命令时，如果该位置位，说明发送命令字中存在以下一种或几种错误：（1） $\bar{T}/\bar{R}$ 位为0；（2）子地址=00000或11111；（3）相同的RT地址段作为接收命令字。



	地址无效	
0 (LSB)	命令字出错	接收命令字在1553B中无定义。包括以下未定义的命令字：(1)命令字是非方式码、广播、发送命令；(2)一条消息的T/R位为0，子地址/方式字段为00000或11111，方式码字段的值在00000-01111之间；(3)不允许把方式码命令（比如发送状态）当成广播命令发送到广播地址11111。

注：只有复位信号或接收到复位远程终端方式命令时第15到9位才被清零。位8到0随着每个消息的处理结果而更新。

## 方式码

B64703 电路完全执行 13 个双冗余 1553B 方式码。方式码中的发送向量字、同步字（包含数据）、选择发送器关断和覆盖发送器关断涉及子系统数据传送。对于发送上一个命令的方式命令，数据字将从 B64703 的上一个命令的内部寄存器发送。对于 BIT 方式命令，将发送内部自建的 BIT 字。表 4 总结了 B64703 支持的 1553B 方式码。

T/R位	方式码	函数	数据字	广播允许
0	00000-01111	未定义	无	否
1	00000	动态总线控制	无	否
1	00001	同步	无	是
1	00010	发送状态字	无	否
1	00011	初始化自测试	无	是
1	00100	发送器关断	无	是
1	00101	覆盖发送器关断	无	是
1	00110	终端标记约束	无	是
1	00111	覆盖终端标记约束	无	是
1	01000	重置远程终端	无	是
1	01001-01111	保留	无	TBD
1	10000	发送向量字	从子系统	否
0	10001	同步数据	到子系统	是
1	10010	发送上一个命令	从内部寄存器	否
1	10011	发送BIT字	从内部寄存器	否
0	10100	选择发送器关断	到子系统	是
0	10101	覆盖选择发送器关断	到子系统	是
1	10110-11111	保留	从子系统	TBD
0	10110-11111	保留	到子系统	TBD

## 五、产品电特性

表5 电特性

特性	符号	条件 除另有规定外 GND=0V , 55°C≤T <sub>A</sub> ≤125°C , V <sub>CC</sub> =3.3 (1±10%) V	A组分 组	极限值		单 位
				最小	最大	
输出高电平电 压	V <sub>OH</sub>	V <sub>CC</sub> =2.97V ,测试所有数字的输出 端 , V <sub>IH</sub> =2.7V , I <sub>OH</sub> =-2.2mA	1 , 2 , 3	2.4	—	V
输出低电平电 压	V <sub>OL</sub>	V <sub>CC</sub> =2.97V , 测试所有数字的输 出端 ( 除RT_FAIL <sup>a</sup> ) , V <sub>IL</sub> =0.2V , I <sub>OL</sub> =+2.2mA	1 , 2 , 3	—	0.4	V
输入高电平电 压	V <sub>IH</sub>	V <sub>CC</sub> =3.3V ,	1 , 2 , 3	0.8*V <sub>CC</sub>	—	V
输入低电平电 压	V <sub>IL</sub>	V <sub>CC</sub> =3.3V ,	1 , 2 , 3	—	0.2*V <sub>CC</sub>	V
输入高 电平漏 电流	I <sub>IH</sub>	V <sub>CC</sub> =3.63V , V <sub>IN</sub> =2.7V	1 , 2 , 3	-350	-33	uA
输入低 电平漏 电流	I <sub>IL</sub>	V <sub>CC</sub> =3.63V, V <sub>IN</sub> =0.4V	1 , 2 , 3	-350	-33	uA

静态电源电流	$I_{DDs}$	$V_{CC} = 3.63V$	1, 2, 3	—	95	mA
电源电流	$I_{DD}$	—	4, 5, 6	—	800	mA
功能测试	—	$f=10、12、16、20\text{ Mhz}$	7,8A,8B	通过		
上升沿时间	$t_r$	直接耦合方式, 35Ω电阻负载, 截线端测试 $V_{CC} = 3.3V$	9, 10, 11	100	300	ns
下降沿时间	$t_f$	直接耦合方式, 35Ω电阻负载, 截线端测试 $V_{CC} = 3.3V$	9, 10, 11	100	300	ns
注: $V_{CC}$ 为电路电源对应管脚+3.3V_LOGIC, +3.3V_XCVR; GND为电路地GND_LOGIC、GND_XCVR;						
a 电路自检失败, 该管脚为低, 电路失效。						

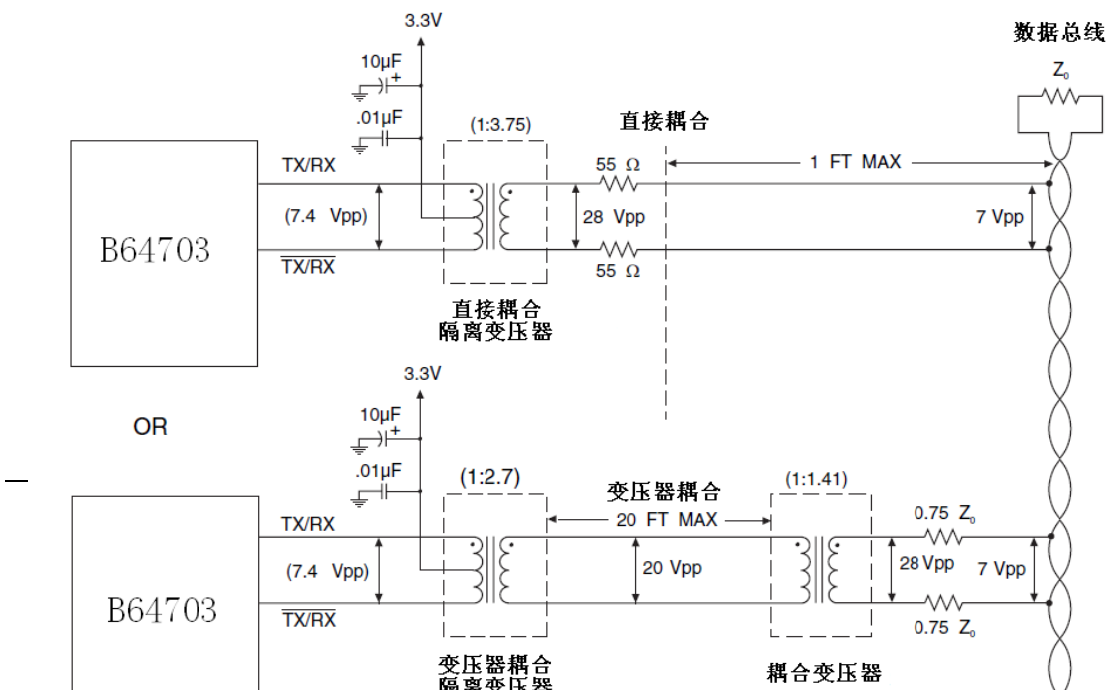
## 六、典型应用

### 6.1 应用说明

#### 6.1.1 B64703 电路总线连接方式

B64703 电路是完全 3.3v 供电的 1553 终端电路。为了满足 1553 不同的电压电平, 要求隔离变压器的匝数比唯一, 单输出绕组变压器和新的连接方式。下图列出了 B64703 电路与 1553 总线连接的两种可行方式, 包括直接耦合 (短距离, 1:3.75) 和变压器耦合 (长距离, 1:2.7) 以及传送过程中不同点的电压峰峰值。

初级绕组的中心抽头 (变压器与 B 64703 连接的一侧) 必须直接与 3.3v 电压相连。另外, 一个 10uf 低感应系数的钽电容器和一个 0.01uf 的陶瓷电容器以最短路径连接到中心抽头和地之间, 且两者安放的距离应当尽可能小。



注 1: 变压器中心抽头电容使用一个 10uf 低感应系数的钽电容器和一个 0.01uf 的陶瓷电容器, 两者需以最短路径连接到中心抽头和地之间。

注 2: 器件地尽可能靠近系统 3.3v 电源地。

注 3:  $Z_0=70-85\Omega$ 。

图3 B64703电路与MIL-STD-1553总线连接图

### 6.1.2 变压器的选择

在为 B64703 电路选择隔离变压器时, 对其漏电感的最大值有限制。如果超出限制值, 发射器的上升和下降时间可能会增加, 如果增加就会导致总线上的幅值下降到低于 1553 标准要求的最低水平。另外, 过度的漏电感会导致变压器动态补偿超出 1553 标准的规定。

最大允许漏电感与耦合方式有关。对变压器耦合, 最大值为 5.0uH, 直接耦合最大值为 10uH, 它们的测量方式如下:

变压器与 B64703 连接的一侧称为一次绕组。如果初级绕组的一侧与中心抽头短接, 那么在次级绕组侧将能测量到电感值。这个值一定小于 5.0uH (变压器耦合) 和 10uH(直接耦合)。同样, 将初级绕组的另一侧与中心抽头连接也能得到一样的结果。两种测量方法的不同点在于测得的漏电感值不一样。两者的差值分别小于 1.0uH (变压器耦合) 和 2.0uH。

Beta 变压器公司 (BTTC) 有多款符合 1:3.75 (直接耦合) 和 1:2.7 (变压器耦合) 的变压器, 其中一些列在表 6 中。

表 6 BTTC 公司变压器系列产品

BTTC 为 B64703 设计的变压器							
BTTC型号	通道配置	耦合方式	耦合 (1:X)	安 装 方式	最大高度	宽度(含 引脚)	长度(含 引脚)
MLP-2033	单通道	直接	( 1:3.75 )	表贴	0.185"	0.4"	0.52"
MLP-3033	单通道	直接	( 1:3.75 )	穿孔	0.185"	0.4"	0.4"
MLP-2233	单通道	变压器	( 1:2.7 )	表贴	0.185"	0.4"	0.52"

MPL-3233	单通道	变压器	( 1:2.7 )	穿孔	0.185"	0.4"	0.4"
MPL-3333	单通道	直接 / 变压器	( 1:3.75 ) / ( 1:2.7 )	穿孔	0.185"	0.4"	0.4"
DSS-2033	双通道	直接	( 1:3.75 )	表贴	0.13"	0.72"	0.96"
DSS-2233	双通道	变压器	( 1:2.7 )	表贴	0.13"	0.72"	0.96"
DSS-1003	双通道	直接 / 变压器	( 1:3.75 ) / ( 1:2.7 )	表贴	0.165"	0.72"	0.96"
TSM-2033	双通道	直接	( 1:3.75 )	表贴	0.32"	0.4"	0.52"
TSM-2233	双通道	变压器	( 1:2.7 )	表贴	0.32"	0.4"	0.52"

推荐使用 DSS-1003 变压器可兼容直接耦合和变压器耦合方式。

## 6.2 板级应用要求

### 板级应用要求如下：

使用至少 4 层 PCB 板（顶层至底层）：信号层、地层、电源层、信号层。电源和地之间应使用去耦电容和旁路电容。

模拟端口输出采用差分信号，信号线四围不能覆铜、不能走普通信号线，防止引入干扰信号。差分信号线尽量保持等长度，并适度加粗信号线。模拟端与隔离变压器及接入总线端口间的距离尽量缩短。这有助于确保来自电路板的噪声不被拾取到差分线路上，并且不会从电路板的互连电缆泄露而成干扰电路板的 EMI。

### 板卡上隔离变压器的使用

隔离变压器应当放置在离收发引脚（IN\_A/IN\_A\_、IN\_B/IN\_B\_）尽可能近的位置。并且，它与电路板以外的任意接头或电缆连接的距离也是越短越好。减小混合地到变压器和变压器到接头之间的距离，不仅能够限制发送时模拟信号通道上的电压降，还能最小化电路板上其他信号的干扰。

变压器（直接）耦合终端的输出端与外部系统接头连接一般使用  $78\Omega$  的双绞线屏蔽电缆，这样能使得阻抗中断最小化。中心抽头与隔离变压器的二次端、输出屏蔽、总线屏蔽及框架接地线是开路还是闭路连接取决于系统的基本因素，比如取决于对电磁干扰、射频干扰及速度的考虑。

大部分系统都要求 1553 终端的输入阻抗在系统接口处必需测量，尽管 1553B 标准测量的需求实际上是为了从隔离变压器的总线端能够直接看出测量值。相对长一些的输出电缆将会减小测量阻抗（从总线侧看）。为了保持阻抗在所要求的  $1000\Omega$  的水平以上（对变压器耦合端而言），RT 与系统接口之间的电缆长度应当最短化。



## 七.应用注意事项

### 7.1 产品防护

器件贮存环境应满足 Q/W657A-2007 第 8.1 规定的 I 类库房条件要求(温度:15℃~25℃,湿度: 25%~65%),周围没有酸、碱或其它腐蚀性气体,通风良好,且具备相应的防静电措施。

### 7.2 电装要求

器件必须采取防静电措施进行操作。推荐下列操作措施:

- a) 器件应在防静电的工作台上操作;
- b) 试验设备和器具应接地;
- c) 器件应存放在防静电材料制成的容器中;
- d) 不能触摸器件引线;
- e) 生产、测试、使用及流转过过程工作区域内应避免使用能引起静电的塑料、橡胶或丝织物;
- f) 相对湿度应尽可能保持在 30%以上及 70%以下。

## 八、用户关注产品信息

### 8.1 产品鉴定信息

鉴定产品批次		1312
鉴定执行标准	总规范名称及编号	GJB 2438A-2002 混合集成电路通用规范
	详细规范名称及编号	混合集成电路B64703型远程终端数据采集发送器详细规范(规范号: Q/Zt 20129-2010)
	附加技术条件	—
	质量等级	H/K
鉴定情况	鉴定试验日期	2013年8月~2013年11月
	鉴定试验机构	中国航天科技集团公司第九研究院第七七二研究所

	鉴定报告	
--	------	--

## 8.2 产品标识

器件采用 80 引线 MCP 陶瓷外壳封装(CQFP80),外形尺寸按 GB/T 15138-1994 的规定,采用非标准外壳,器件外形尺寸为 28.98mm×28.98mm×3.9mm。器件标识按照 GJB 2438A—2002 的规定,打标示意图如下图:

电路型号: B64703

定位点为: ●

批识别代码为: XXXX

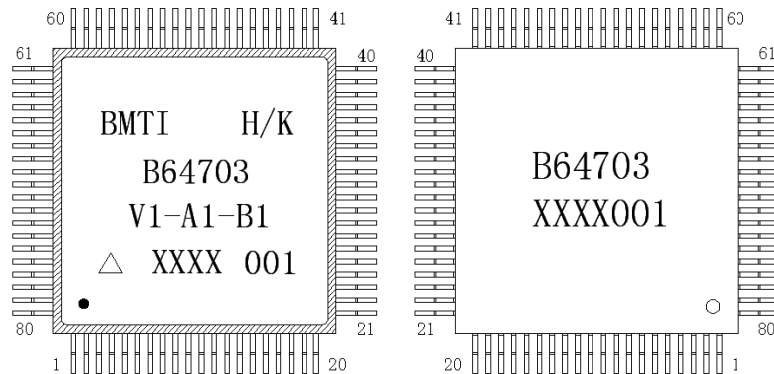
承制方名称或商标: BMTI

电路编号: 001

芯片识别号: V1-A1-B1

用户标识: H/K

静电标识: △



顶视图

底视图

## 8.3 研制生产单位联系方式

通信地址: 北京市丰台区东高地四营门北路2号

邮政编码: 100076

联系部门: 市场二部

电话/传真: 010-67968115-7501/010-68757706

设计四部

郭楹

电话: 029-65685100-5263/ 18691951183