

Ver 1.5

辐射加固异步清除可置位 4 位
二进制计数器

产品使用手册

产品型号：B54AC161RH



北京微电子技术研究所



版本控制页

版本号	发布日期	更改章节	更改说明	备注
1.0	2012-11-1	——	——	
1.1	2013-8-16	第 7 章	增加 FP 封装外形尺寸中陶瓷体的长度和宽度 (B、D)	
1.2	2014-4-25	第 7 章	补充完善 DIP 和 FP 外形尺寸： 包括补充 FP 封装的凸台尺寸、L1、L2； 补充 DIP 封装的陶瓷体长度和宽度。	
1.3	2014-7-16	第 5 章	增加 5.2 节“质量等级及执行标准”； 增加 5.3 节“贮存条件”。	
1.4	2018-2-23	第 8 章	增加第 8 章应用注意事项； 更改模板。	
1.5	2018-9		修改 5.3 产品防护章节；增加 5.4 免责声明；增加附录 1 对应替代国外产品情况。	

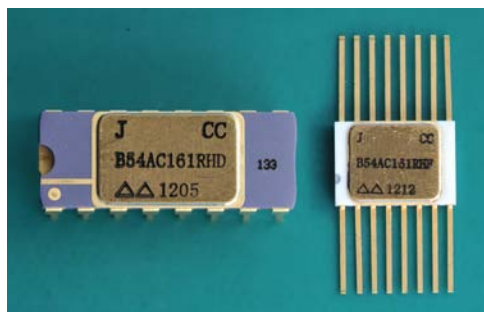


目 录

一、产品特性.....	1
二、产品概述.....	1
三、结构图.....	1
四、引脚描述.....	2
五、产品描述.....	2
5.1 产品功能描述.....	2
5.2 质量等级及执行标准.....	3
5.3 产品防护.....	3
5.3.1 电装及防护措施.....	3
5.3.2 包装.....	4
5.3.3 运输和贮存.....	4
5.4 免责声明.....	4
六、电参数.....	5
6.1 绝对最大额定值.....	5
6.2 推荐工作条件.....	5
6.3 参数表.....	5
七、封装说明.....	10
八、应用注意事项.....	12
8.1 输入信号要求.....	12
8.2 未使用输入端的处理.....	12
8.3 对电源的要求.....	13
8.4 输出振铃抑制.....	13
8.5 去耦电容的选择.....	13
附录 1 对应替代国外产品情况.....	15

一、产品特性

- 电源电压范围：+2.0 V~6.0 V
- 工作温度范围：-55℃ ~125℃
- 输出驱动：24mA
- 抗总剂量： $\geq 100\text{k rad (Si)}$
- 抗单粒子锁定 LET： $\geq 75\text{MeV} \cdot \text{cm}^2/\text{mg}$
- 抗单粒子翻转 LET： $\geq 75\text{MeV} \cdot \text{cm}^2/\text{mg}$
- ESD 等级：2000V
- 封装形式：DIP16 (B54AC161RHD)、FP16 (B54AC161RHF)



二、产品概述

B54AC161RH 是一款辐射加固异步清除可置位 4 位二进制计数器，具有驱动能力高、功耗低、高可靠性等特点，与 NSC、STM 公司 DIP、FP 封装的 54AC161 产品兼容。

三、结构图

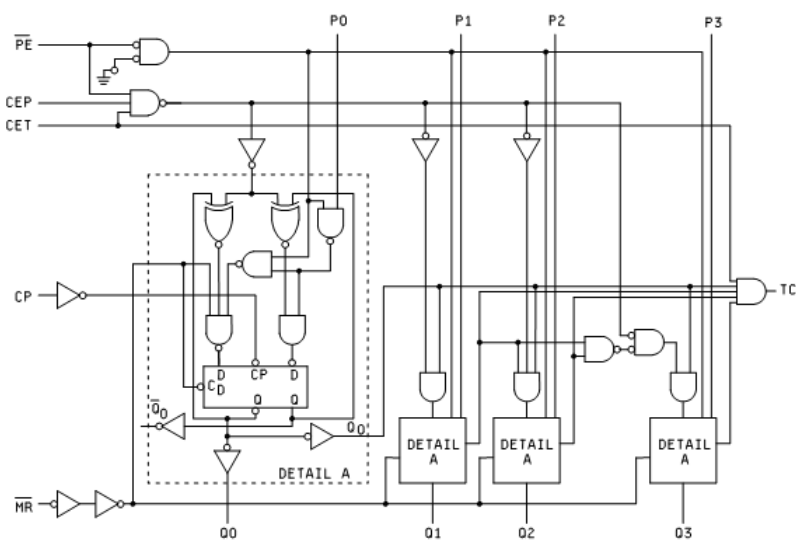


图 3-1 B54AC161RH 结构图

四、引脚描述

B54AC161RH引脚排列顺序如图4-1所示。

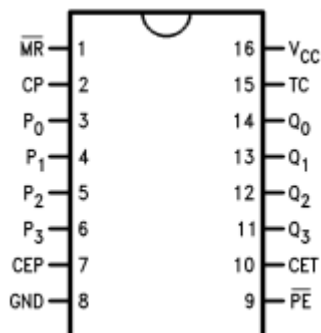


图 4-1 B54AC161RH 引脚排列图

B54AC161RH 引脚功能描述见表 4-1。

表 4-1 B54AC161RH 引脚功能描述

引出端	符号	类型	功能描述	引出端	符号	类型	功能描述
1	\overline{MR}	I	复位信号	9	\overline{PE}	I	控制信号
2	CP	I	输入时钟	10	CET	I	控制信号
3	P0	I	输入数据	11	Q3	O	输出数据
4	P1	I	输入数据	12	Q2	O	输出数据
5	P2	I	输入数据	13	Q1	O	输出数据
6	P3	I	输入数据	14	Q0	O	输出数据
7	CEP	I	控制信号	15	TC	O	终端输出信号
8	GND	G	地	16	VCC	P	电源

五、产品描述

5.1 产品功能描述

B54AC161RH 是一款具有同步置位和异步清除功能的 4 位二进制计数器。当同步置位端 (\overline{PE}) 为低, 时钟 CP 上升沿触发时, 使输入端口 Pn 上的数据加载到输出端口 On, 以实现计数输出初始值的装载。当 \overline{PE} 、CET 和 CEP 都为高电平时, 电路处于计数模式。此时, 输入时钟 (CP) 的上升沿每出现 1 次, 则计数输出的值增加 1。当输出由初始值增至 15 (HHHH) 时, 下一次时钟上升沿后, 输出将变为 0 (LLLL), 进位输出端 (TC) 变为高电平, 如此循环往

复。在此模式下，当 CET 或者 CEP 任何一个变为低电平，则进入输出保持模式。异步清除端 \overline{MR} 为低电平有效，当其有效时，输出值将立刻被清除为零。真值表见表 5-1。

表 5-1 真值表

输入				功能模式 (在时钟上升沿工作)
\overline{MR}	\overline{PE}	CET	CEP	
L	X	X	X	清零
H	L	X	X	置位 (Pn to Qn)
H	H	H	H	计数
H	H	L	X	保持
H	H	X	L	保持

L=低电平 H=高电平 X=无关

5.2 质量等级及执行标准

辐射加固异步清除可置位 4 位二进制计数器 B54AC161RH 质量保证等级为 GJB597A-1996 规定的 B 级，符合《Q/Zt 20204-2011 半导体集成电路 B54AC161RH 型辐射加固异步清除可置位 4 位二进制计数器详细规范》规定的要求。

5.3 产品防护

5.3.1 电装及防护措施

器件应采取防静电措施进行操作。推荐下列操作措施：

- a) 器件应在防静电的工作台上操作；
- b) 试验设备和器具应接地；
- c) 不能直接用手触摸器件引线，应佩戴防静电指套和腕带；
- d) 器件应存放在防静电材料制成的容器中；
- e) 生产、测试、使用及流转过程工作区域内应避免使用能引起静电的塑料、橡胶或丝织物；
- f) 相对湿度应尽可能保持在 20%~70%。

5.3.2 包装

器件包装应至少满足以下要求：

- a) 由无腐蚀的材料制成；
- b) 具有足够的强度，能够经得起搬运过程中的震动和冲击；
- c) 用抗静电材料涂敷过或浸渍过，具备足够的抗静电能力；
- d) 能够牢固的把所装器件支撑在一定的位置；
- e) 能保持器件引线不发生变形；
- f) 没有锋利的棱角；
- g) 能安全容易的移动、检查和替换器件；
- h) 一般不使用聚氯乙烯、氯丁橡胶、乙烯树脂和聚硫化物等材料，也不允许使用有硫、盐、酸、碱等腐蚀成分的材料，使用具有低放气指数、低尘粒脱落的材料制造为宜。

5.3.3 运输和贮存

器件在运输和贮存过程中，至少应满足以下要求：

- a) 运输：在避免雨、雪直接影响的条件下，装有产品的包装箱可以用任何运输工具运输。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。
- b) 贮存：包装好的产品应贮存在环境温度为 $15^{\circ}\text{C}\sim 25^{\circ}\text{C}$ ，相对湿度不大于 $25\%\sim 65\%$ ，周围没有酸、碱或其它腐蚀性气体且通风良好的库房里。

5.4 免责声明

本手册版权归北京微电子技术研究所所有，并保留一切权利。未经书面许可，任何单位、组织和个人不得将此文档中的任何部分公开、转载或以其他方式散发给第三方，否则将追究其法律责任。

本手册版本将不定期更新，请在使用本产品之前联系本单位销售部门获取本手册的最新版本。

用户因未严格按本手册要求保存、使用本产品，致使产品工作异常或损坏，造成任何直接或间接损失，本单位不承担任何责任。

除本手册说明之外，请勿接受第三方指导或参考第三方资料对本产品进行操作，用户对

本手册有疑问之处请与本单位销售部门联系。

六、电参数

6.1 绝对最大额定值

- a) 电源电压范围 (V_{DD}): $-0.5V \sim +7.0V$
- b) 直流输入、输出电压范围 (V_I 、 V_O): $-0.5V \sim V_{DD} + 0.5V$
- c) 输入、输出二极管电流 (I_{IK} 、 I_{OK}): $\pm 20mA$
- d) 直流输出电流 (I_O): $\pm 50mA$
- e) 直流电源或地电流(每管脚): $\pm 50mA$
- f) 最大耗散功耗(P_D): 500mW
- g) 贮存温度(T_{stg}): $-65^\circ C \sim +150^\circ C$
- h) 引线耐焊温度(T_h): $260^\circ C$
- i) 热阻 (θ_{JC}): $22^\circ C/W$ (FP 封装)、 $28^\circ C/W$ (DIP 封装)
- j) 结温 (T_J): $175^\circ C$

6.2 推荐工作条件

- a) 电源电压范围 (V_{DD}): $2.0V \sim 6.0V$
- b) 输入、输出电压范围 (V_I 、 V_O): $+0.0V \sim V_{DD}$
- c) 工作温度范围 (T_A): $-55^\circ C \sim +125^\circ C$
- d) 输入最大上升、下降速度 ($\Delta t/\Delta V$): $0 \sim 8 ns/V$

6.3 参数表

表 6-1 直流和交流参数表

参数	符号	条件, 除另有规定外 $-55^\circ C \leq T_A \leq 125^\circ C$ $+3.0V \leq V_{DD} \leq +5.5V$	极限值		单位	分组 ^{注1}
			最小	最大		
输出高电平电压	V_{OH}	$V_{DD}=3.0V$ $I_{OH}=-4mA$ $V_{IN}=V_{IH}$ 或 V_{IL}	2.40	—	V	A1A2 A3
		$V_{DD}=3.0V$ $I_{OH}=-50\mu A$ $V_{IN}=V_{IH}$ 或 V_{IL}	2.90	—	V	A1 A2 A3
		$V_{DD}=4.5V$ $I_{OH}=-24mA$ $V_{IN}=V_{IH}$ 或 V_{IL}	3.70	—	V	A1A2 A3
		$V_{DD}=4.5V$ $I_{OH}=-50\mu A$ $V_{IN}=V_{IH}$ 或 V_{IL}	4.40	—	V	A1 A2 A3

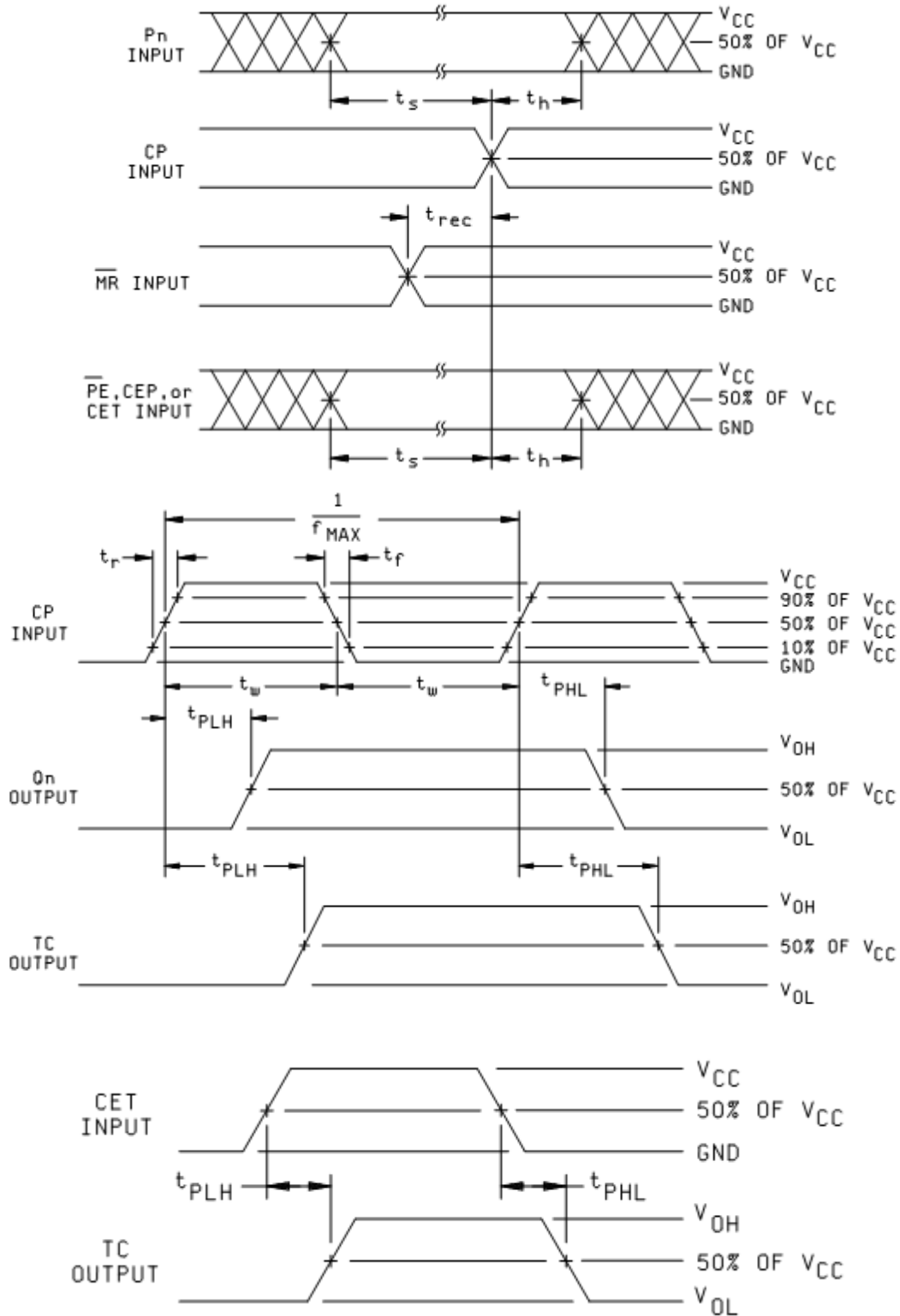


		$V_{DD}=5.5V$ $I_{OH}=-24mA$ $V_{IN}=V_{IH}$ 或 V_{IL}	4.70	—	V	A1A2 A3
		$V_{DD}=5.5V$ $I_{OH}=-50\mu A$ $V_{IN}=V_{IH}$ 或 V_{IL}	5.40	—	V	A1 A2 A3
		$V_{DD}=5.5V$ $I_{OH}=-50mA$ $V_{IN}=V_{IH}$ 或 V_{IL}	3.85	—	V	A1 A2 A3
输出低电平电压	V_{OL}	$V_{DD}=3.0V$ $I_{OL}=12mA$ $V_{IN}=V_{IH}$ 或 V_{IL}	—	0.50	V	A1A2 A3
		$V_{DD}=3.0V$ $I_{OL}=50\mu A$ $V_{IN}=V_{IH}$ 或 V_{IL}	—	0.10	V	A1 A2 A3
		$V_{DD}=4.5V$ $I_{OL}=24mA$ $V_{IN}=V_{IH}$ 或 V_{IL}	—	0.50	V	A1A2 A3
		$V_{DD}=4.5V$ $I_{OL}=50\mu A$ $V_{IN}=V_{IH}$ 或 V_{IL}	—	0.10	V	A1 A2 A3
		$V_{DD}=5.5V$ $I_{OL}=24mA$ $V_{IN}=V_{IH}$ 或 V_{IL}	—	0.50	V	A1A2 A3
		$V_{DD}=5.5V$ $I_{OL}=50\mu A$ $V_{IN}=V_{IH}$ 或 V_{IL}	—	0.10	V	A1 A2 A3
		$V_{DD}=5.5V$ $I_{OL}=50mA$ $V_{IN}=V_{IH}$ 或 V_{IL}	—	1.65	V	A1 A2 A3
输入高电平电压	V_{IH}	$V_{DD}=3.0V$	2.1	—	V	A1 A2 A3
		$V_{DD}=4.5V$	3.15	—	V	A1 A2 A3
		$V_{DD}=5.5V$	3.85	—	V	A1 A2 A3
输入低电平电压	V_{IL}	$V_{DD}=3.0V$	—	0.9	V	A1 A2 A3
		$V_{DD}=4.5V$	—	1.35	V	A1 A2 A3
		$V_{DD}=5.5V$	—	1.65	V	A1 A2 A3
正输入钳位电压	V_{IC+}	$V_{DD}=0V$, $I_{IN}=1.0mA$	0.4	1.5	V	A1
负输入钳位电压	V_{IC-}	$V_{DD}=\text{open}$, $I_{IN}=-1.0mA$	-0.4	-1.5	V	A1
输入高电平电流	I_{IH}	$V_{DD}=5.5V$ $V_{IN}=V_{DD}$	—	0.1	μA	A1
			—	1.0	μA	A2 A3
输入低电平电流	I_{IL}	$V_{DD}=5.5V$ $V_{IN}=\text{GND}$	—	-0.1	μA	A1
			—	-1.0	μA	A2 A3
静态电源电流 (输出为高)	I_{CCH}	$V_{DD}=5.5V$ $V_{IN}=V_{DD}$ 或 GND 所有输出管脚开路	—	4.0	μA	A1
			—	80.0	μA	A2 A3
静态电源电流 (输出为低)	I_{CCL}	$V_{DD}=5.5V$ $V_{IN}=V_{DD}$ 或 GND 所有输出管脚开路	—	4.0	μA	A1
			—	80.0	μA	A2 A3
输入电容	C_{IN}	$V_{DD}=0V$ $T_A=25^\circ C$	—	8.0	pF	A4
功能测试 ^a		$V_{DD}=3.0V$, $V_{IN}=V_{IH}$ 或 V_{IL} ; 验证输出 V_{OUT}	L	H		A7 A8A A8B
		$V_{DD}=5.5V$, $V_{IN}=V_{IH}$ 或 V_{IL} ; 验证输出 V_{OUT}	L	H		A7A8A A8B
传输时间 (CP 到 Q_n) PE=高或低	t_{PHL} t_{PLH}	$V_{DD}=3.0V$	1.0	12.0	ns	A9
			1.0	14.0	ns	A10, A11
		$V_{DD}=4.5V$	1.5	8.5	ns	A9
			1.5	10.0	ns	A10, A11
传输时间 (CP 到 TC)	t_{PHL}	$V_{DD}=3.0V$	3.0	14.0	ns	A9
			3.0	17.5	ns	A10, A11

	t_{PLH}	$V_{DD}=4.5V$	3.0	10.5	ns	A9	
			3.0	13.0	ns	A10, A11	
		$V_{DD}=3.0V$	3.0	14.0	ns	A9	
			3.0	18.0	ns	A10, A11	
		$V_{DD}=4.5V$	3.0	10.0	ns	A9	
			3.0	13.0	ns	A10, A11	
传输时间 (CET 到 TC)	t_{PHL}	$V_{DD}=3.0V$	1.0	11.5	ns	A9	
			1.0	13.5	ns	A10, A11	
		$V_{DD}=4.5V$	1.5	8.5	ns	A9	
			1.5	10.5	ns	A10, A11	
	t_{PLH}	$V_{DD}=3.0V$	1.0	10.0	ns	A9	
			1.0	13.0	ns	A10, A11	
		$V_{DD}=4.5V$	1.5	6.5	ns	A9	
			1.5	8.5	ns	A10, A11	
	传输时间 (MR 到 Qn)	t_{PHL}	$V_{DD}=3.0V$	1.0	11.5	ns	A9
				1.0	14.5	ns	A10, A11
			$V_{DD}=4.5V$	1.5	8.5	ns	A9
				1.5	10.5	ns	A10, A11
传输时间 (MR 到 TC)	t_{PHL}	$V_{DD}=3.0V$	1.0	15.0	ns	A9	
			1.0	18.5	ns	A10, A11	
		$V_{DD}=4.5V$	1.5	11.5	ns	A9	
			1.5	14.0	ns	A10, A11	
输入建立保持条件 (Pn 到 CP)	t_s	$V_{DD}=3.0V$	11.0	—	ns	A9	
			16.0	—	ns	A10, A11	
		$V_{DD}=4.5V$	7.5	—	ns	A9	
			10.5	—	ns	A10, A11	
	t_h	$V_{DD}=3.0V$	0.0	—	ns	A9	
			0.5	—	ns	A10, A11	
		$V_{DD}=4.5V$	1.5	—	ns	A9	
			1.5	—	ns	A10, A11	
输入建立保持条件 (PE 到 CP)	t_s	$V_{DD}=3.0V$	11.5	—	ns	A9	
			15.0	—	ns	A10, A11	
		$V_{DD}=4.5V$	7.5	—	ns	A9	
			10.5	—	ns	A10, A11	
	t_h	$V_{DD}=3.0V$	-1.5	—	ns	A9	
			-1.0	—	ns	A10, A11	
		$V_{DD}=4.5V$	-0.5	—	ns	A9	
			0.0	—	ns	A10, A11	
输入建立保持条件	t_s	$V_{DD}=3.0V$	6.0	—	ns	A9	



(CET 或者 CEP 到 CP)			7.5	—	ns	A10, A11
		$V_{DD}=4.5V$	4.5	—	ns	A9
			5.5	—	ns	A10, A11
	t_b	$V_{DD}=3.0V$	1.0	—	ns	A9
			2.0	—	ns	A10, A11
		$V_{DD}=4.5V$	2.0	—	ns	A9
脉冲宽度 (CP)	t_w	$V_{DD}=3.0V$	5.0	—	ns	A9
			5.0	—	ns	A10, A11
		$V_{DD}=4.5V$	5.0	—	ns	A9
			5.0	—	ns	A10, A11
脉冲宽度 (MR)	t_w	$V_{DD}=3.0V$	5.0	—	ns	A9
			5.0	—	ns	A10, A11
		$V_{DD}=4.5V$	5.0	—	ns	A9
			5.0	—	ns	A10, A11
恢复时间 (MR 到 CP)	t_{rec}	$V_{DD}=3.0V$	1.5	—	ns	A9
			1.5	—	ns	A10, A11
		$V_{DD}=4.5V$	1.5	—	ns	A9
			2.0	—	ns	A10, A11
最大时钟频率 (CP)	f_{max}	$V_{DD}=3.0V$	70	—	Mhz	A9
			55	—	Mhz	A10, A11
		$V_{DD}=4.5V$	95	—	Mhz	A9
			80	—	Mhz	A10, A11
注: $V_{IH}=0.7 V_{DD}$; $V_{IL}=0.3 V_{DD}$						
^a 对 V_{OUT} 测试, $L \leq 0.3 V_{DD}$ 和 $H \geq 0.7 V_{DD}$ 。						
^{注1} A1 (常温静态测试)、A2 (高温静态测试)、A3 (低温静态测试)、A4 (常温动态测试)、A7 (常温功能测试)、A8A (高温功能测试)、A8B (低温功能测试)、A9 (常温交流测试)、A10 (高温交流测试)、A11 (低温交流测试)。						



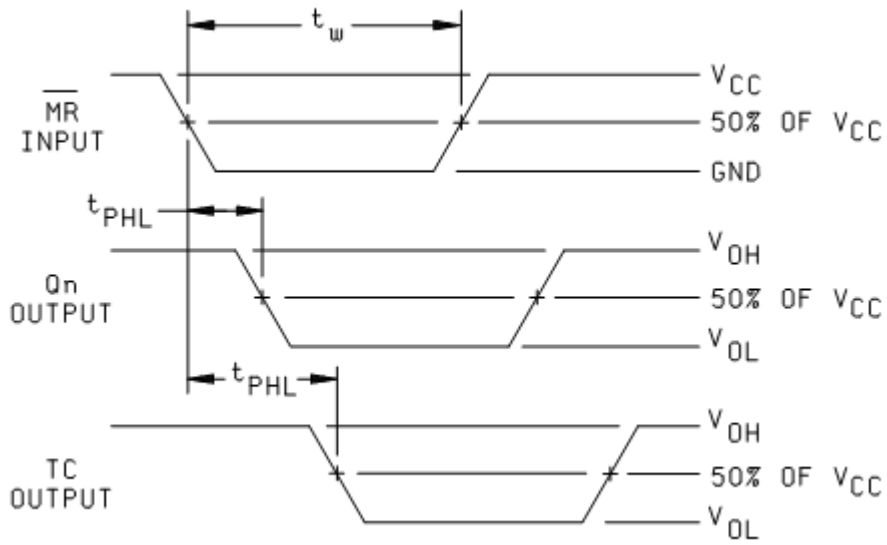
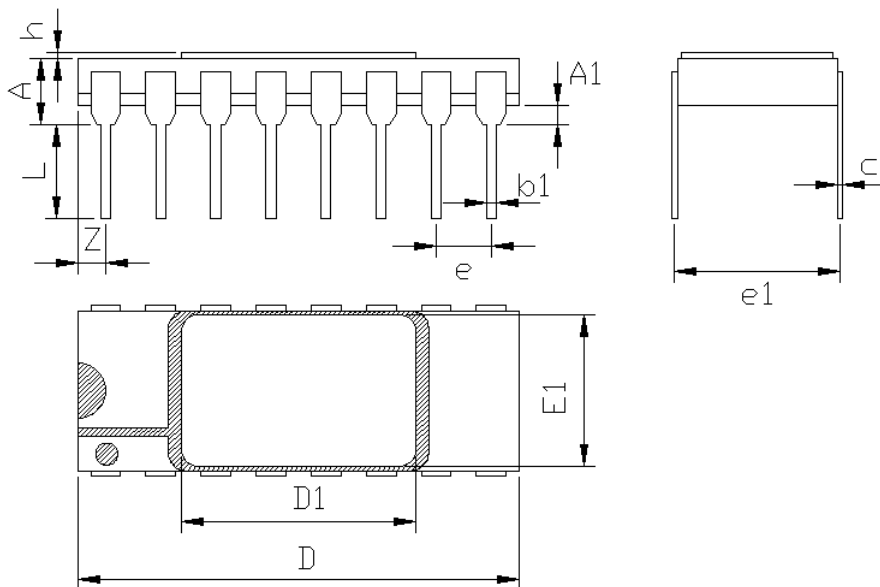


图 6-1 器件开关参数波形图

七、封装说明

器件采用两种封装形式，一是 16 引线 DIP 封装，器件打标标识为 B54AC161RHD；二是 16 引线 FP 封装，器件打标标识为 B54AC161RHF。外形尺寸按 GB/T7092 的规定，外形尺寸如图 7-1。

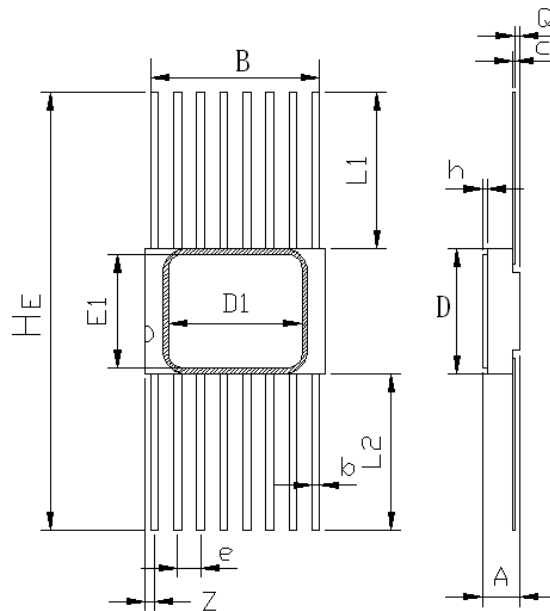


单位：毫米

尺寸符号	最 小	公 称	最 大
D	20.00	—	20.58
$D1$	—	10.795	—
$E1$	—	6.985	—
h	0.22	—	0.28
$e1$	—	7.62	—
e	—	2.54	—
c	0.20	—	0.36
Z	—	—	2.54
A	—	—	5.1
$A1$	0.51	—	—
$b1$	0.35	—	0.59
L	2.54	—	5.0

注：未注公差按 GB/T1804-2000 表 1 中 c 执行。

图 7-1 a) 外形尺寸—DIP16



单位：毫米

尺寸符号	最 小	公 称	最 大
A	1.60	—	2.50

<i>B</i>	8.94	—	9.69
<i>b</i>	0.25	—	0.54
<i>c</i>	0.07	—	0.20
<i>D</i>	6.55	—	7.25
<i>e</i>	—	1.27	—
<i>H_E</i>	20.00	—	25.00
<i>Q</i>	0.13	—	0.90
<i>L1</i>	6.47	—	9.12
<i>L2</i>	6.47	—	9.12
<i>Z</i>	—	—	1.27
<i>D1</i>	—	7.366	—
<i>E1</i>	—	6.223	—
<i>h</i>	0.22	—	0.28

注：未注公差按 GB/T1804-2000 表 1 中 c 执行。

图 7-1 b) 外形尺寸—FP16

图 7-1 外形尺寸

八、应用注意事项

8.1 输入信号要求

B54AC161RH 器件应用时，要求输入信号的上升沿/下降沿为 $0\sim 8\text{ns/V}$ 。若输入信号超出了正常应用范围（即上升沿/下降沿大于 8ns/V ），建议增加带施密特触发器输入的电路进行信号整形（如 B54AC14RH）。

8.2 未使用输入端的处理

B54AC161RH 电路的输入端不允许悬空，因为悬空会使电位不定，破坏正常的逻辑关系。另外，悬空时输入阻抗高，易受外界噪声干扰，使电路产生误动作，而且也极易造成栅极感应静电而击穿，因此器件的未使用输入端接 $1\text{k}\Omega\sim 10\text{k}\Omega$ 的电阻并连接到低电平。

8.3 对电源的要求

必须注意 B54AC161RH 器件的上电次序，通常原则是：首先加电源，再加信号。

电路工作电压范围 2.0V~6.0V，电源电压绝对最大额定值为-0.5 V~+7.0V，电路要工作在使用条件范围内，以免过电应力造成电路损坏。

8.4 输出振铃抑制

由于国内 54AC 器件与国外对应器件采用不同的工艺，导致国内 54AC 器件的输出上升沿/下降沿比国外器件陡，在同样的布线情况下，器件的输出振铃会比国外器件大。用户在使用国内 54AC 器件替代进口器件时，需要对原有系统板重新审核。

建议板级设计时遵循以下准则：

(1) 若传输线延时小于 54AC 器件输出波形上升/下降时间的 20%，传输线不需要采取措施；

(2) 若传输线延时为 54AC 器件输出波形上升/下降时间的 20%~40%，传输线需要源端接电阻。建议电阻阻值为 20~50 Ω 。

(3) 若传输线延时大于 54AC 器件输出波形上升/下降时间的 40%，需要进行信号完整性分析，进行阻抗匹配设计，调试时观测波形。

注：国内外 54AC 器件的输出波形上升/下降时间参考下表。

表 8-1 54AC 系列器件输出波形上升/下降时间

负载情况	输出波形上升/下降时间	
	国内器件	国外器件
输出端连接 54AC 电路	1.3ns	1.9ns

8.5 去耦电容的选择

去耦电容连接在芯片电源和地之间，用于滤去电源和地上的噪声。国内 54AC 器件与 NSC、STM 公司器件相比，输出波形上升/下降时间较快、带宽频率较高，易超出谐振频率。当超过了谐振频率，电容的容性特性减弱，表现为感性特性，其去耦的作用也便失效。

根据公式（1）确定去耦电容应满足的频率范围。



$$f = \frac{1}{2\pi\sqrt{LC}} \quad (1)$$

其中：f 为信号的带宽频率，由输出波形的上升/下降时间（tr）决定，可通过经验公式 $f=1/(\pi * tr)$ 得出；电感 L 为电容与电源地间的引线电感。

不同的 PCB 布局环境下去耦电容的作用有所差异，用户在选用去耦电容时应观测电源电压波形。建议电压跌落控制在 300mV 以内，使用国内 54AC 器件时推荐去耦电容的选择范围为 1~10nF。

在布设去耦电容时，为减小寄生电感，应使电容尽可能靠近芯片电源和地、且电容两脚与电源和地形成的环路面积尽可能小。

服务与支持：

通信地址：北京市丰台区东高地四营门北路 2 号

邮政编码：100076

联系部门：市场二部

电话/传真：010-67968115-6313/010-68757706

抗加中心 刘玉清 电话：010-67968115-8018

附录 1 对应替代国外产品情况

替代国外型号： 54AC161		国外生产商： ST、NSC	
对比项	国内产品	国外产品	差异性、兼容性分析
电源电压 (V _{DD})	2.0V-6.0V	2.0V-6.0V	一致
输入高电平电压	≥0.7V _{DD}	≥0.7V _{DD}	一致
输入低电平电压	≤0.3V _{DD}	≤0.3V _{DD}	一致
输出高电平电压 (V _{DD} =5.5V I _{OH} =-24mA)	≥4.7V	≥4.7V	一致
输出低电平电压 (V _{DD} =5.5V I _{OH} =24mA)	≤0.5V	≤0.5V	一致
输出驱动能力	24mA	24mA	一致
静态电源电流	80uA	80uA	一致
抗静电能力 (人体模型)	2000V	2000V	一致
抗总剂量指标	100Krad (Si)	300Krad (Si)	相当
抗单粒子闩锁阈值	大于 75MeV·cm ² /mg	大于 93MeV·cm ² /mg	相当
抗单粒子翻转阈值	大于 75MeV·cm ² /mg	—	不一致